Check for updates

Journal of KIIT. Vol. 24, No. 2, pp. 75-82, Feb. 28, 2026. pISSN 1598-8619, eISSN 2093-7571
http://dx.doi.org/10.14801/jkiit.2026.24.2.75

초고분해능 저항형 센서 인터페이스 회로에 대한 연구

이민겸*[1], 김현진*[2], 진천덕**, 차형우*[3]

A Study on Ultra-High-Resolution Resistive Sensor Interface Circuits

Min-Gyeom Lee*[1], Hyun-Jin KIM*[2], Cheon-Deok Jin**, and Hyeong-Woo CHA*[3]

본 과제(결과물)는 2025년도 교육부 및 충청북도의 재원으로 충북RISE센터의 지원을 받아 수행된 대학지원체계(RISE)의 결과입니다(2025-RISE-11-013-03)

요 약

구형파의 홀수 고조파의 특성, 아날로그 멀티플라이어의 합과 차의 주파수 특성, 그리고 PLL을 이용한 주파수 체배기의 분주비의 특성을 이용하여 초고분해능을 갖는 저항차-주파수로 변환하는 회로를 구현하였다. 회로 구성은 기준저항과 센서저항을 사용한 2개의 구형파발진기, 2개의 대역통과 여파기, 아날로그 멀티플라이어, 저역통과 여파기, 그리고 주파수 체배기로 구성된다. 두 발진기의 주파수가 홀수배(o배) 대역통과 여파기를 통과하고, 이 두 신호가 멀티플라이어를 통과하고 저역통과 여파기를 걸치면 저항차에 대한 주파수가 얻어지고, 이 주파수가 N 배의 주파수 체배기를 통과하면 (o×N) 배의 저항차가 주파수로 출력된다. 제 3 고조파 o=3, 분주비 N=10로 설정했을 때 실험한 결과 30배 분해능을 향상된 것을 확인하였다.

Abstract

We implemented a circuit that converts resistance difference to frequency with ultra-high resolution by utilizing the characteristics of odd harmonics of a square wave, the frequency characteristics of the sum and difference of an analog multiplier, and the characteristics of the division ratio of a frequency multiplier using a PLL. The circuit configuration consists of two square wave oscillator using a reference resistor and a sensor resistor, two band-pass filters, an analog multiplier, a low-pass filter, and a frequency multiplier. The frequencies of the two oscillators pass through an odd-multiple(o) band-pass filter, the frequency for the resistance difference when these two signals pass through a multiplier and a low-pass filter is obtained, and (o×N) times the resistance difference when this frequency passes through an N-fold frequency multiplier is output as a frequency. When the third harmonic o=3 and the division ratio N=10, the experimental results confirmed that the resolution was improved by 30 times.

Keywords

harmonics of a square wave, analog multiplier, PLL, frequency multiplier

* 청주대학교 전자공학과(*[3] 교신저자)
- ORCID[1]: https://orcid.org/0009-0004-5500-2019
- ORCID[2]: https://orcid.org/0009-0002-9584-622X
- ORCID[3]: https://orcid.org/0009-0000-0163-0520
** ㈜휴로 대표이사
- ORCID: https://orcid.org/0009-0003-9657-4390

· Received: Dec. 19, 2025, Revised: Jan. 17, 2026, Accepted: Jan. 20, 2026
· Corresponding Author: Hyeong-Woo CHA
Dept. of Department of Electronic Engineering, Cheongju University, Korea
Tel.: +82-43-229-8441, Email: hwcha@cju.ac.kr

Ⅰ. 서 론

스트레인 게이지(Strain gauge)와 같은 센서는 무게 또는 압력 변화에 따라 아주 작은 저항 변화를 갖고 있기 때문에, 계측시스템에 사용할려면 고정도의 저항을 측정하는 인터페이스(Interface) 회로가 필수적으로 필요하다[1]. 이러한 회로 구성은 윈-브리지 회로(Wein-bridge) 회로로 검출한 다음 높은 이득을 갖는 계측 증폭기로 증폭한 다음 A/D 변환기를 통해 처리하는 방법이 있다[2]. 이 경우 고정도 고가의 계측 증폭기와 고분해능의 A/D 변환기가 필요하면 전자저울에서 사용 중이다[3]-[5].

단일 반도체 칩으로 구현하기 위해, 연산증폭기를 사용한 SC(Switched Capacitor) 방식으로 신호처리와 A/D(Analog-to-Digital) 변환을 동시에 처리하는 방법이 대표적으로 사용되고 있다. 이 경우에는 클록 피드-스루(Clock feed-through), 연산증폭기의 옵셋 전압의 문제로 10-bit 이상의 정밀도를 높일 수 없다는 문제점이 있다[6].

최근에는 마이크로프로세서와 FPGA의 I/O 단자(Port)에 RC 적분기를 구성하여 펌웨어(Firmware)로 저항값을 측정하는 방법이 제안되었지만, 디지털 잡음으로 고정도로 측정하는데 제한이 있다[7]-[8], 또한, 전류모드의 능동소자인 CFOA(Current Feedback Operational Amplifier), CCII(Current Conveyor)를 사용하여 저항을 전압으로 변환하는 회로가 발표되었지만, 단순히 저항을 전압으로 변환하는 것으로 고정도의 저항 측정을 위해 고분해능 A/D 변환가가 필요하다[9]-[11].

지금까지의 방식과 완전히 다른 방식인 1) 구형파를 구성하는 홀수 고조파, 대역통과 여파기, 아날로그 멀티플라이어의 출력이 합과 차로 주어진다는 원리를 이용하여 저항차를 고조파의 홀수배만큼 분해능을 높이는 방식[12]과 2) PLL(phase lock loop)와 분주기로 구성된 주파수 체배기를 사용하여 저항차(또는 용량차)에 대한 분해능을 분주비만큼 높이는 방식[13][14]이 각각 발표되었다. 이 두 방식은 용량(또는 저항)에 대한 정보(변화량)가 주파수로만 주어지기 때문에 잡음에 영향을 받지 않는 장점은 있지만, 분해능이 각각 홀수배와 분주비로 결정되기 때문에 고분해능을 얻을 수 없는 단점을 갖고 있다.

본 연구에서는 상기 2가지 방식을 통합하여 (홀수배와 분주비의 곱)에 해당되는 분해능을 갖는 초고분해능 저항형 센서 인터페이스 회로를 제안하고 [15][16], 개별소자를 사용한 실험을 통하여 회로의 동작원리 제안, 실험결과 및 검토, 그리고 결론 및 향후 연구 내용에 대하여 서술한다.

Ⅱ. 회로 구성 및 동작 원리

2.1 종래의 저항차-주파수 변환기 구성들

2.1.1 구형파의 특징, 대역통과여파기, 아날로그 멀티플라이어를 사용한 방식[13]

구형파는 그림 1과 같이 구형파의 기본 정현파 주파수와 크기는 홀수배로 감소되고 주파수는 홀수배로 증가하는 정현파의 합(그림 아래 수식 참조)으로 구성된다. 저항(또는 용량)을 사용한 구형파 발진기의 출력에 3배가 되는 대역통과여파기(BPF, Band Pass Filter)를 사용하면, 저항값의 3배의 정밀도를 갖는 저항-주파수 변환을 얻을 수 있다는 것을 알 수 있다.

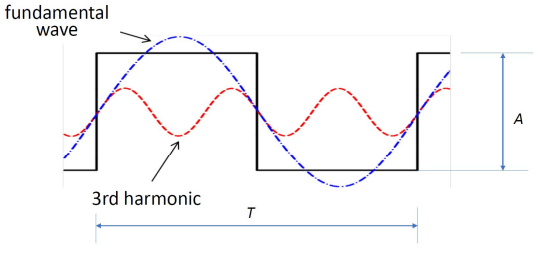


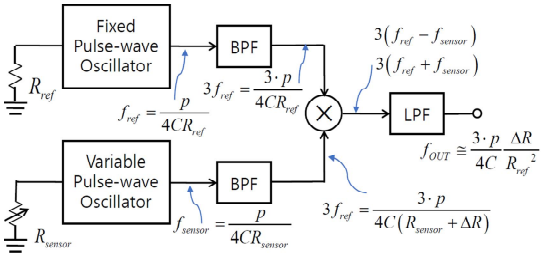
그림 1. 구형파의 푸리에 분석 결과(홀수 고조파의 합)
Fig. 1. Fourier analysis results of the waveform(sum of odd harmonics)

아날로그 멀티플라이어는 $\sin A$ (고정된 발진기 주파수)와 $\sin B$ (저항에 변화에 가변되는 발진 주파수)가 각각 입력되면, 이들의 곱인 식 (1)과 같은 결과가 얻어진다. 식 (1)에서 차 주파수에 해당되는 cos(A-B)의 신호를 얻기 위해 저역통과여파기(LPF,

Low Pass Filter)를 사용하면 저항차-주파수를 얻을 수 있다.

$$\sin A \times sinB = \frac{1}{2}\{\cos(A-B)-\cos(A+B)\} \quad (1)$$

상기 원리를 바탕으로 발표한 논문에서 제시한 회로를 그림 2에 나타냈다. 회로의 동작원리는 그림에 표기하였다. 회로에서 ⓧ는 아날로그 멀티플라이어의 기호이다. 발표된 논문에서는 대역통과 여파기의 중심 주파수를 구형파 발진기의 제 3고조파를 사용하여 저항차에 대한 분해능이 3배로 향상된 것을 제시하였다.



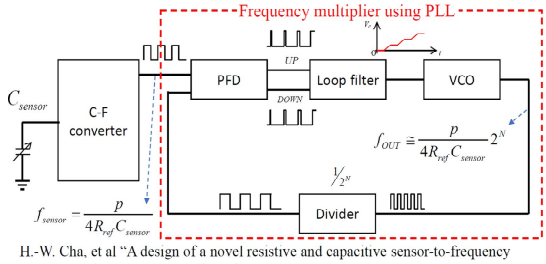
IL-W. Cha et al., "Design of a Resistive and Capacitive Sensor Interface Circuit Using the Third Harmonic," Proceedings of the KIEE Conference, Nov., 2016.

그림 2. 구형파의 홀수 고조파와 멀티플라이어의 특성 이용한 종래의 저항차-주파수 변환회로

Fig. 2. Conventional resistor-frequency converter circuit using odd harmonics of a square waves and the characteristics of a multiplier

2.1.2 PLL을 사용한 주파수 체배기를 이용한 방식[13][14]

주파수 체배기를 이용한 용량(도는 저항) 주파수 변환기의 블록도를 그림 3에 나타냈다. 이 회로에서 C-F 변환기(Converter)는 RC 능동 구형파 발진기를 의미하며, 이 발진기에서 용량(Capacitance) 변화를 주파수로 변환시키고 이 주파수를 주파수 체배기의 입력신호로 사용하는 구조를 갖는다[13]. 이 논문에서는 용량(또는 저항) 변화를 주파수로 변환하고 이 주파수를 PLL의 구형파 입력 주파수로 사용하기 때문에 잡음에 영향을 받지 않는 특징이 있다. 주파수 체배기의 주파수 분주비를 10으로 하여 10배만큼 정밀도를 높일 수 있었다[14]. 일반적으로 RC 능동 구형파 발진기에서 용량과 저항에 대하여 반비례하는 주파수 특성을 갖고 있기 때문에 용량값을 고정시키고 저항을 변환시키면 유사한 결과를 얻을 수 있다.



H.-W. Cha, et al "A design of a novel resistive and capacitive sensor-to-frequency converter using PLL" Proceeding of ICGHIT 2017

그림 3. 주파수 체배기를 이용한 종래의 용량-주파수 변환회로

Fig. 3. Conventional capacitor-frequency converter circuit using a frequency multiplier

2.2 초고분해능 저항형 센서 인터페이스 회로 설계

제안한 초고분해능 저항차-주파수 변환기의 블록도를 그림 4에 나타냈다. 블록도의 구성은 그림 2와 3의 회로가 직렬 연결하는 구성, 주파수-전압 변환기(FVC, Frequency-to-Voltage Converter), 그리고 K-bit A/D 변환기로 되어 있다[15][16]. 그림 4에서는 저역통과여파기(LPF)의 출력을 주파수 체배기의 입력을 사용하고 있기 때문에 그림 3에 있는 C_{sensor}와 용량-주파수 변환기는 제거하였다.

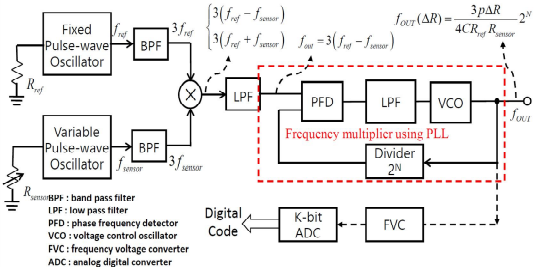


그림 4. 제안한 초고분해능 저항차-주파수 변환기의 블록도

Fig. 4. Block diagram of the proposed ultra-high-resolution resistance-to-frequency converter

그림 2와 4를 바탕으로 제안한 회로의 동작원리를 설명하면 다음과 같다[13]. 고정된 발진기(Fixed pulse-wave oscillator)에서는 고정된 저항 R_{ref}에 반비례하는 구형파 발진주파수가, 가변되는 발진기(Variable pulse-wave oscillator)에서는 센서 저항 R_{sensor}에 반비례하는 구형파 발진주파수가 각각 생성되고, 이 주파수의 홀수배(o=3)의 중심주파수를 갖는 대역통과 여파기를 통과하면 2개의 구형파 발진 주파수의 3배가 되는 다음식과 같은 주파수가 출력된다.

$$3f_{ref} = \frac{3p}{4CR_{ref}} \text{(고정된 발진기의 3배수)} \quad (2)$$

$$3f_{sensor} = \frac{3p}{4C(R_{sensor} + \Delta R)} \quad (3)$$

(가변되는 발진기의 3배수)

식 (2)과 (3)의 주파수가 두 입력 신호의 곱을 출력하는 아날로그 멀티플라이어의 입력으로 인가되면 출력신호는 $3(f_{ref} - f_{sensor})$, $3(f_{ref} + f_{sensor})$와 같은 합과 차의 신호가 출력된다. 이 두 종류의 신호 중 차 신호인 $3(f_{ref} - f_{sensor})$에 해당 되는 차단 주파수를 갖는 저역통과 여파기(LPF)를 통과시키면 $3(f_{ref} + f_{sensor})$신호는 차단되고 $3(f_{ref} - f_{sensor})$ 신호가 출력된다.

저역통과 여파기의 출력인 $3(f_{ref} - f_{sensor})$ 신호를 그림 3과 4와 같이 분주비가 N인 주파수 체배기의 입력으로 인가되면 주파수 체배기의 출력은 다음과 같은 식으로 주어진다[15][16].

$$f_{OUT}(\Delta R) = \frac{3p\Delta R}{4CR_{ref}R_{sensor}} 2^N \quad (4)$$

위 식으로부터 제안한 초고분해능 저항차-주파수 변환 인터페이스 회로는 (o×N)배의 정밀도를 갖고 있다는 것을 알 수 있다. 구형파의 제 3 고주파 o=3과 분주비 N=10을 사용하면 저항차에 대한 정밀도 30배 향상될 것이다.

주파수 체배기의 출력 주파수 신호(또는 VCO의 출력)를 그림 4에 나타낸 바와 같이 주파수-전압 변환기(FVC)를 통해 아날로그 전압으로 변환하고, K-bit A/D 변환기로 디지털로 변환하면 이론적 최대 분해능인 (o×N×K)-bit을 얻을 수 있을 것이다. 따라서, 그림 4에 제안한 회로에서 고조파의 홀수배 o=3, 분주비 N=10, A/D 변환기의 분해능 K=20-bit를 사용하게 된다면 30×20-bit의 분해능을 갖게 된다.

그림 4의 블록도를 구현하기 위해, 고정 및 가변 구형파 발진기는 그림 5에 나타낸 RC를 사용한 능동 구형파와 삼각파 발진기를 사용하였다. 이 회로에서 적분기의 저항을 고정 저항 R_{ref} 또는 센서 저항 R_{sensor}으로 각각 사용하였다.

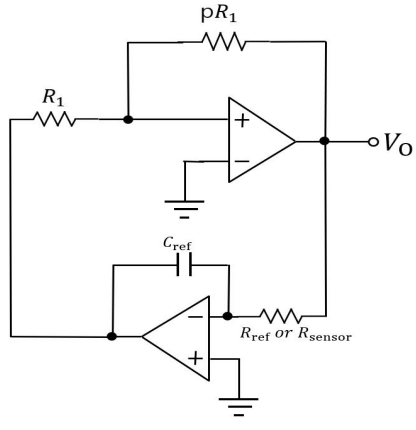


그림 5. 고정 및 가변 구형파 발진기의 회로도
Fig. 5. Circuit diagram of fixed and variable square wave oscillators

대역통과 여파기(BPF)와 그림 6과 같이 2차 능동 BPF 4개를 직렬로 연결하여 8차 BPF를 구현하였고, 아날로그 멀티플라이어는 AD633을 사용하였다. 저역통과 여파기(LPF)는 그림 7과 같이 2차 LPF 여파기 2개를 직렬로 연결하여 4차 LPF를 구현하였다. LPF의 출력이 정현파이기 때문에 비교기 LM311과 풀업(Pull-up) 저항을 사용하여 구형파로 변환한 다음 주파수 체배기의 입력신호로 사용하였다.

주파수 체배기는 PLL 소자 74HC4046과 주파수 카운터(Counter) CD4017B를 사용하여 구현하였다.

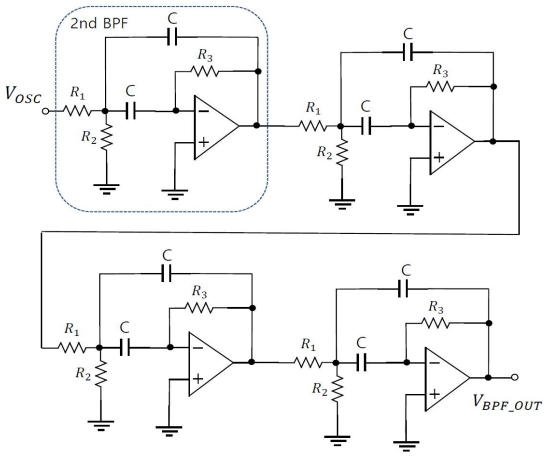


그림 6. 8차 능동 대역통과 여파기의 회로도
Fig. 6. Circuit diagram of an 8th-order active bandpass filter

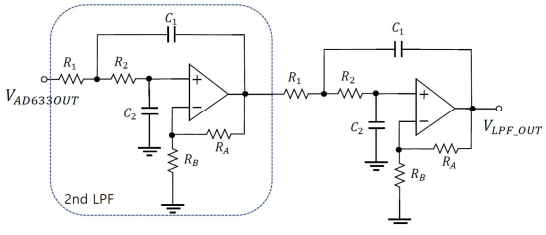


그림 7. 4차 능동 저역통과 여파기의 회로도
Fig. 7. Circuit diagram of a 4th-order active low-pass filter

III. 실험결과 및 고찰

그림 4에 제안한 초고분해능 저항형 센서 인터페이스 블록도를 개별소자를 사용하여 브레드보드상에서 실험을 하였다 그림 4의 블록도를 구성하기 위해 그림 5~7, 그리고 PLL와 분주기로 구성된 주파수 체배기를 사용하였다. 실험에 사용한 소자 값들은 다음과 같다[16].

그림 5에 나타낸 고정/가변 발진기 사용된 저항은 R_1=10kΩ, pR_1=15kΩ, C_{ref}=0.1uF, R_{ref}=510Ω, 센서 저항 R_{sensor} = 520Ω+(ΔR=10~130)Ω을 사용했다. 그림 6에 나타낸 8차 BPF를 구성하는 2차 BPF에 대한 소자는 R_1=5.6kΩ, R_2=16.9kΩ, R_3=470Ω, C_1=C_2=3.3nF를 사용하였고, 그림 7에 나타낸 4차 LPF를 구성하는 2차 LPF에 대한 소자는 R_1=6.2kΩ, R_2=16.9kΩ, R_3=470Ω, C_1=C_2=3.3nF, R_A=20kΩ, R_B= 10kΩ를 사용하였다.

그림 5~7에서 사용된 연산 증폭기는 LM833, 아날로그 멀티플라이어는 AD633를 사용하였고, 공급전압은 ±15V를 각각 사용하였다. PLL은 74HC4046, 분주기는 CD4017, 정현파를 구형파 5V로 변환 회로에서는 비교기 LM311와 4.7kΩ 풀업(Pull-up) 저항을 사용하였고 공급전압은 5V를 사용하였다.

저항차 ΔR(10Ω~130Ω)에 따른 구형파와 3고조파 특성을 그림 8에 나타냈다. 하부는 발진기의 구형파 주파수(6.72kHz~5.45kHz)의 특성이고 상부는 BPF의 정현파 출력인 제 3고조파의 주파수(20.1kHz~16.4kHz) 특성이다. 이 결과로부터 센서에 의한 가변 발진기의 선형적으로 감소하고 3고조파를 중심 주파수로 갖고 있는 BPF의 출력이 이론과 같이 3배가 되는 것을 알 수 있다. 이론값과 실험값이 같은 형태로 변화되지만, 오차가 생기는 것은 사용한 개별소자값들의 오차로 판단된다.

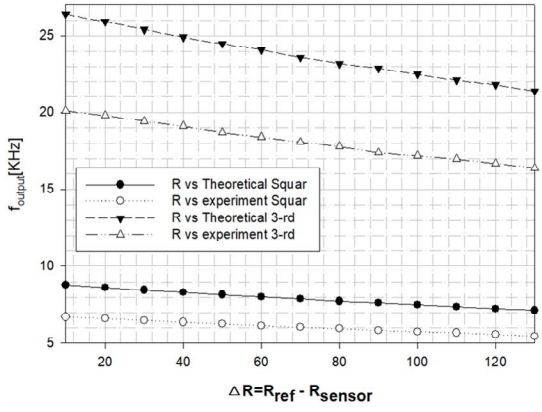


그림 8. ΔR에 따른 구형파(하부)와 3고조파(상부)의 특성
Fig. 8. Characteristics of square wave(lower part) and third harmonic wave(upper part) according to ΔR

ΔR에 따른 아날로그 멀티플라이어 AD633 뒤단의 LPF와 주파수 체배기(PLL의 출력 주파수) 특성을 그림 9에 나타냈다. 하부는 LPF의 정현파의 주파수 특성이고 상부는 주파수 체배기 출력의 구형파 주파수 특성이다. 이 결과로부터 주비 N=10을 설정했기 때문에 LPF의 출력 주파수는 420Hz~3.91kHz, 주파수 체배기의 출력 주파수는 4kHz~

39kHz로 예상되는 결과가 얻어졌다는 것을 알 수 있다. 그림 8과 9의 결과를 종합하면 홀수 고주파 o와 분주비 N의 곱인 (o×N)=3×10=30배로 감도가 향상된 것을 알 수 있다. 이론값과 실험값이 오차가 생기는 것은 사용한 소자값들의 오차로 판단된다.

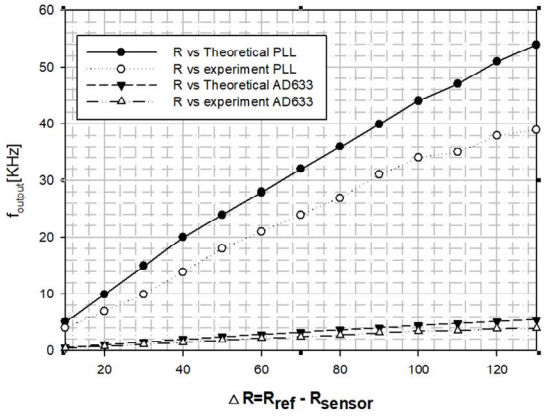


그림 9. ΔR에 따른 LPF(하부)와 PLL(상부)의 출력 특성
Fig. 9. Output characteristics of LPF (lower part) and PLL (upper part) according to ΔR

그림 10은 그림 8과 9의 실험결과 중에서 R_{sensor}=610Ω(ΔR=110Ω)일 때 가변 구형파 발진기의 출력파형(상부)과 BPF의 출력인 3-고조파 파형(하부)를 나타낸 것이다. 이 결과로 5.75kHz가 17.09kHz로 3배 증폭된 것을 알 수 있다.

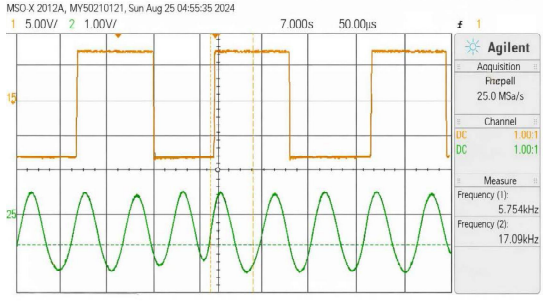


그림 10. R_{sensor}=610Ω일 때 가변 구형파 발진기(상부)와 BPF(하부)의 출력 파형
Fig. 10. Output waveforms of the variable square wave generator(upper part)) and BPF(lower part) when R_{sensor}=610Ω.

그림 11는 그림 7과 8의 실험결과 중에서 R_{sensor}=610Ω(ΔR=110Ω)일 때 AD633의 출력(하부)과 LPF의 출력(상부) 파형 나타낸 것이다. 이 결과로부터, AD633의 의해 두 입력신호의 합과 차 신호가 LPF에 의해 차 신호인 3.314kHz가 얻어진다는 것을 알수 있다.

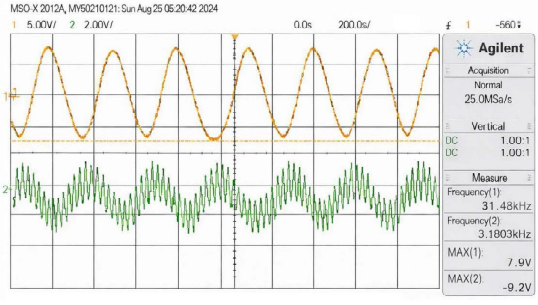


그림 11. R_{sensor}=610Ω일 때 AD633의 출력(하부)과 LPF의 출력(상부) 파형
Fig. 11. Output waveforms of AD633(lower part) and LPF (upper part) when R_{sensor}=610Ω.

그림 12는 분주비 N=10으로 설정했을 때 주파수 체배기의 출력 파형 또는 분주기의 입력파형(상부)과 분주기의 출력 파형 또는 PLL의 입력파형(하부)을 나타낸 것이다. 이 결과로부터 34.33kHz가 10분주 되어 3.42kHz가 되는 것을 확인하였다.

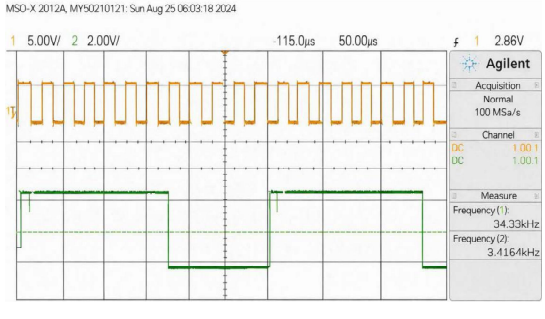


그림 12. R_{sensor}=610Ω과 N=10으로 설정했을 때 주파수 체배기(상부)와 분주기(하부)의 출력 파형.
Fig. 12. Output waveforms of the frequency multiplier (upper part) and divider(lower part) when R_{sensor}=610Ω and N=10

고분해능의 갖는 저항차-주파수 변환에 대한 종래의 방식(그림 2와 3)과 제안한 방식(그림 4)과의 성능 비교를 표 1에 나타냈다. 동일한 저항 변화에 대한 최종 결과인 주파수 변환이 이론과 같이 30배(3배 홀수 고주파와 주파수 체배기의 10 분주비의 곱) 향상된 것을 알 수 있다.

표 1. 종래의 저항차-주파수 변환 방식들과의 성능 비교
Table 1. Performance comparison with conventional resistance difference-frequency conversion methods

Contents	Reference[13]	Reference[14]	Proposed
Experimental environment	Individual component experiments	Individual component experiments	**Individual component experiments**
Supply voltages[V]	±15	±15	**±15**
ΔR[Ω]	0~130	0~130	**0~130**
Final frequency ranges[kHz]	0~27	21~26	**5~55**
Accuracy for same conditions	3 times	10 times	**30 times**

IV. 결 론

구형파의 홀수 고조파의 특성, 아날로그 멀티플라이어의 합과 차의 주파수 특성, 그리고 PLL을 이용한 주파수 체배기의 분주비의 특성을 이용한 초고분해능을 갖는 저항차-주파수로 변환하는 회로를 제안하고 실험을 통해 증명하였다. 실험결과, 1) 구형파의 홀수 고조파의 특성과 아날로그 멀티플라이어의 합과 차의 주파수 특성을 이용한 방식과 2) PLL을 이용한 주파수 체배기의 분주비의 특성을 이용한 방식과 비교할 때 각각 10배, 3배로 향상된 결과를 얻었다. 두 방식을 통합한 본 연구의 결과에서는 제 3 고조파 o=3, 분주비 N=10로 설정했을 때 실험한 결과 30배 분해능을 향상된 것을 확인하였다. 제시한 고분해능을 갖는 저항차-주파수로 변환하는 회로에서 제시한 주파수-전압 변환기(FVC)와 K-bit A/D 변환기를 사용하는 전체 블록에 대한 실험은 사업화를 위해, 차후 참여업체와 같이 진행할 것이다.

Acknowledgement

2025년도 한국정보기술학회 추계종합학술대회에서 발표한 논문(초고분해능 저항형 센서 인터페이스 회로에 대한 연구[16])을 확장한 것임.

References

[1] J. J. Carr, "Sensor and circuits-sensor, transducers, and supporting circuits for electronic instrumentation, measurement, and control", PTR prentice Hall, 1933.

[2] A. S. Sedra and K. C. Smith, "Micro electronic Circuits", Oxford University Press, 8th, ch. 9, 2004.

[3] M. Leinonen, J. Juuti, and H. Jantunen, "Interface circuit for resistive sensors utilizing digital potentiometers", Sensors and Actuators A: Physical, Vol. 138, No. 1, pp. 97-104, Jul. 2007. https://doi.org/10.1016 /j.sna.2007.04.017.

[4] E. Gómez-Ramírez, L. A. Maeda-Nunez, L. C. Álvarez-Simón, and F. G. Flores-García, "A Highly Robust Interface Circuit for Resistive Sensors", Electronics, Vol. 8, No. 3, pp. 263, Feb. 2019. https://doi.org/10.3390/electronics8030263.

[5] D. M. Wilson, "Electronic Interface Circuits for Resistance-Based Sensors", IEEE Sensors Journal, Vol. 22, No. 11, pp. 10223-10234, Jun. 2022. https://doi.org/10.1109/JSEN.2021.3124766.

[6] K. Watanabe and W.-S. Chung, "A switched-capacitor interface for intelligent capacitive transducers", IEEE Trans. Instrum. Meas., Vol. IM-35, pp. 472-476, Dec. 1986. https://doi.org/10.1109/TIM.1986.6499119.

[7] F. Reverter, "A Microcontroller-Based Interface Circuit for Three-Wire Connected Resistive Sensors", IEEE Trans. Instrum. Meas., Vol. 71, Nov. 2022. https://doi.org/10.1109/TIM.2022.3219492.

[8] J. A. Hidalgo-L´opez, "Direct interface circuits for resistive sensors affected by lead wire resistances", Measurement Vol. 218, Aug. 2023. https://doi.org/10.1016/j.measurement.2023.113250.

[9] A. Julsereewong, P. Julsereewong, T. Rungkhum, and H. Sasaki, "Interface circuit using operational conveyors for differential resistive sensors", Proc. 10th Int. Conf. on Electrical Engineering

/Electronics, Computer, Telecommunications and Information Technology, Krabi, Thailand, May 2013. https://doi.org/10.1109/ECTICon.2013.6559501.

[10] J.-K. Sin, "On the Design of Interface Circuit For Resistive Bridge Sensors", MS's Thesis, Cheongju University, Korea, 2015. http://www.riss.kr/link?id= T13693592.

[11] W. Petchmaneelumka, A. Rerkratn, S. Tammaruckwattana, and A. Kaewpoonsuk, "Resistive-Sensor Interfacing Circuit for Remote Measurement Using CFOA", International Journal of Electrical and Electronic Engineering & Telecommunications Vol. 13, No. 5, pp. 381-388, Sep. 2024. https://doi.org/10.18178/ijeetc.13.5.381-388.

[12] Y.-M. Na, "Design of a high-resolution capacit-ance-to-frequency conversion circuit", M.S. thesis, Cheongju university, Korea, 2010.

[13] T.-Y. Jung, "A study of high resolution capacit-ance-to-frequency converter using PLL", M.S. thesis, Cheongju university, Korea, 2014.

[14] Y.-H. Sa, K.-H. Kim, P.-H. Son, and H.-W. Cha, "A design of a novel resistive and capacitive sensor-to-frequency converter using PLL", Proc. of ICGHIT2017, pp. 94-95, Feb. 2017.

[15] H.-W. Cha, "Circuit for convert resistance or capacitance difference with ultra-high-resolution into frequency and digital code conversion using the same", Korean Patent No. 10-2023-0012144, Jul. 12024.

[16] M.-G Lee, H.-J Kim, C.-D. Jin, and H.-W. Cha, "A Study on Ultra-High-Resolution Resistive Sensor Interface Circuits", Program book of the 2025 KIIT Fall Conference, Jeju, Korea, pp. 441-446, Nov. 2025.

저자소개

이 민 겸 (Min-Gyeom Lee)

2024년 2월 청주대학교 전자공학과(공학사)
2024년 3월 ~ 현재 : 청주대학교 전자공학과 석사과정
관심분야 : Analog IC 설계

김 현 진 (Hyun-Jin KIM)

2025년 2월 : 청주대학교 전파공학과(공학사)
2025년 3월 ~ 현재 : 청주대학교 전파공학과 석사과정
관심분야 : Analog IC 설계

진 천 덕 (Cheon-Deok Jin)

1989년 2월 : 호원대학교 전자공학과(공학사)
2009년 2월 : 충북대학교 정보통신공학과(공학석사)
1994년 9월 ~ 2006년 1월 : (주)하이닉스반도체 책임연구원
2010년 2월 ~ 현재 : (주)휴로 대표이사
관심분야 : Car Audio MCU Chip 응용 개발, Intel Pentium CPU 호환칩 응용개발, General Micro Controller Unit Chip 응용 개발

차 형 우 (Hyeong-Woo CHA)

1989년 2월 : 청주대학교 반도체공학과(공학사)
1991년 2월 : 청주대학교 전자공학과(공학석사)
1997년 3월 : 시즈오카(靜岡)대학교 전자과학연구과(공학박사)
1991년 2월 ~ 1993년 6월 : 블루코드테크놀리지 주임연구원
1997년 9월 ~ 현재 : 청주대학교 전자공학과 교수
관심분야 : Analog IC 설계, 센서 인터페이스