

무선전력전송을 위한 임피던스 정합회로 설계 기법

원 라 경*

Impedance Matching Circuit Design Technique for Wireless Power Transmission

Lakyoun Weon*

요 약

WPT 시스템은 일반적으로 아주 낮은 입력 임피던스와 높은 출력 임피던스간의 정합회로를 필요로 하는데, 고효율 광대역 임피던스 정합회로의 설계는 WPT 시스템의 성능을 안전화하기 위한 선행 조건이다. 본 논문은 벡터도형에 의한 임피던스 정합회로 설계와 회로의 직병렬등가변환법에 의한 설계를 적용하였다. 높은 임피던스 변환비 조건을 갖는 회로에서 3단 정합회로 설계를 수행하였다. 벡터도형에 의한 설계법으로 먼저 기하 평균의 원리에 기반한 각 정합단의 Q값을 균등하게 배분하여 최적 중간 임피던스를 도출하고, 저임피던스 처리에 유리한 T 네트워크와 고임피던스단의 부유 용량 흡수에 유리한 Pi 네트워크를 중속 접속하여 전체 회로를 설계하였다. 또한 설계값 검증으로 위하여 직병렬 등가 변환을 통한 단계별 계산 과정을 통하여 검증함으로써 방법론의 신뢰성과 실효성을 확인하였다.

Abstract

WPT systems generally require a matching circuit between very low input impedance and high output impedance, and the design of a high-efficiency, wideband impedance matching circuit is a prerequisite for ensuring the performance of WPT systems. This paper presents a design of an impedance matching circuit using vector diagrams and a design using the series-parallel equivalent conversion method. A three-stage matching circuit was designed for a circuit with a high impedance conversion ratio. Using a design method based on vector figures, the optimal intermediate impedance was derived by first equally distributing the Q values of each matching stage based on the principle of geometric mean, and the entire circuit was designed by cascading the T network, which is advantageous for low impedance processing, and the Pi network, which is advantageous for absorbing stray capacitance of the high impedance stage. In addition, the reliability and effectiveness of the design methodology were confirmed by verifying it through a step-by-step verification process using serial-parallel equivalent conversion for design value verification.

Keywords

wireless power transfer, WPT, power transfer efficiency, PTE, impedance matching network, vector plot, series-parallel equivalent transformation

* 고신대학교 교양학부 교수
- ORCID: <https://orcid.org/0009-0009-8991-8179>

• Received: Sep. 30, 2025, Revised: Nov. 02, 2025, Accepted: Nov. 05, 2025
• Corresponding Author: Lakyoun weon
Dept. of Liberal Arts and Sciences, Kosin Univ., 194 Wachi-ro,
Yeongdo-gu, Busan, 49104 Korea
Tel.: +82-51-990-2501, Email: lkweon@kosin.ac.kr

I. 서 론

현대 사회는 스마트폰, 전기자동차, 사물 인터넷(IoT)을 넘어 의료용 기기까지 모든 것이 무선으로 연결되는 시대를 맞이하고 있다. 이러한 패러다임의 핵심 기술인 무선전력전송(WPT, Wireless Power Transfer)은 물리적 제약 없이 에너지 공급을 가능하게 하지만, 전력 전송 효율이라는 문제에 직면해 있다. 낮은 효율은 충전 시간 증가, 불요 에너지에 의한 발열 및 시스템 안정성 저하 문제로 직결되며, 이는 WPT 기술에서 해결해야 할 과제이다[1][2].

WPT 시스템의 효율을 결정짓는 요소로서 전력을 송신하는 파워 앰프와 에너지를 수신하는 공진 코일 간의 임피던스 부정합(Impedance mismatch) 문제이다. WPT 시스템은 일반적으로 아주 낮은 입력 임피던스와 높은 출력 임피던스 간의 정합회로를 필요로 한다. 극심한 임피던스 차이는 전력의 상당 부분이 부하에 전달되지 못하고 소스 측으로 반사되는 결과를 초래하며, 이는 시스템 효율을 저하시킨다. 따라서 이 간극을 효과적으로 해결하는 고효율 광대역 임피던스 정합회로의 설계는 WPT 시스템의 성능을 안전화하기 위한 필수불가결한 선행 조건이다[3].

이러한 문제를 해결하기 위해, 코일 간 커플링 변화나 부하 변동에 실시간으로 대응하는 적응형 임피던스 정합 기법이나[4], 주파수 제어를 통해 정합을 유지하는 방식[5]과 같이 동적 환경에 초점을 맞춘 연구들이 진행되고 있다. 또한 설계 단계에서는 로드풀(Load-pull) 시뮬레이션을 통해 최적 부하 임피던스를 도출하거나[6], 버터워스(Butterworth)와 같은 필터 합성 이론을 적용하여 접근하는 방식이 있다[7].

그러나 기존 연구들은 시뮬레이션 소프트웨어에 대한 의존성이 높거나, 복잡한 이론으로 인해 설계자의 직관적인 이해를 저해하는 측면이 있다.

본 논문에서는 이러한 한계를 극복하기 위해, 임피던스 궤적을 시각적으로 파악하여 설계 방향을 제시하는 벡터 도형(Vector diagram) 방식과 그 결과를 수학적으로 검증하는 직병렬 등가 변환 방식을 결합한 설계 방법론을 제안한다. 이 설계법은 설계 초기 단계에서부터 설계의 신뢰성과 물리적 타당성을 동시에 확보할 수 있다는 점에서 기존 연구와 차별성을 갖는다.

본 논문의 구성으로 2장에서는 벡터 도형과 직병렬 등가 변환의 이론적 배경을 고찰하고, 3장에서는 소스 2Ω 과 부하 100Ω 의 조건에서 3단 정합회로를 실제로 설계하고, 기하 평균의 원리를 적용하여 중간 임피던스를 도출하여 정합회로를 설계하는 과정과 최종 설계값을 검증하는 과정을 기술한다. 마지막으로 본 연구의 결과와 성과를 요약한다.

II. 임피던스 정합회로 설계와 검증

2.1 벡터도형 설계 기법

벡터도형에 의한 임피던스 정합회로 설계는 회로 이론의 임피던스 삼각도에 기초하며, 페이지 플롯(Phasor plot)으로도 사용된다. 임피던스는 실수축과 허수축 그리고 두 축을 이루는 각도로 이루어지며, 회로의 전압벡터와 전류벡터 사이의 위상은 페이지가 다루는 중요한 정보 중 하나이다. 벡터도형에 의한 임피던스 정합회로 설계는 이러한 전압벡터, 전류벡터, 위상의 관계를 작도하여 정합상태의 리액턴스 소자와 설계값을 만들 수 있다.

벡터도형에 의한 임피던스 정합회로 설계를 위한 용지는 가독성을 고려하여 모눈종이를 사용할 수 있고, 극좌표 용지를 사용하면 편리하지만 약속된 축적을 사용하여 작도하므로 일반 용지를 사용해도 상관없다.

설계의 기본 원칙은 유도성 리액턴스에서 전압벡터는 전류벡터보다 90° 앞서고, 용량성 리액턴스에서는 전류벡터가 전압벡터보다 90° 앞선다는 회로 이론에 따른 기본적인 성질로부터 출발한다. 벡터도형의 합성은 평형사변형법 대신에 3각 합성법을 사용하는데 간단하고 회로 분석을 위하여 가독성이 우수하기 때문이다. 그러나 필요에 따라서는 설계자가 조건에 맞도록 하나의 벡터를 평행이동하여 사용할 수 있다.

임피던스 정합회로의 전류벡터와 전압벡터를 구분하기 위하여 전류벡터는 개화살표[↗]로 표시하고, 전압벡터는 폐화살표[↻]로 나타내기로 약속한다. 전압벡터와 전류벡터의 크기는 설계자가 임의로 축척(縮尺)을 사용하여 작도하며, 한번 결정한 축척은 해당 설계가 끝날 때까지 바꿀 수 없다. 벡터간

의 위상은 전류법칙(KCL)과 전압법칙(KVL)의 조건에 맞도록 그려져야 하며 최종적으로 위상과 크기를 고려하여 리액턴스 소자와 값을 결정할 수 있다.

설계를 위하여 먼저 어떤 정합회로를 사용할 것 인지를 결정하고 벡터 관계 및 위상관계를 조건식으로 정리한다. 혼란을 피하기 위하여 한번 결정한 표식들은 설계가 끝날 때까지 계속 사용하여야 한다. 부하임피던스를 나타내는 전류벡터와 전압벡터는 기본 벡터로 그려져야 한다. 다음의 예를 통하여 기본적인 벡터도형에 의한 정합회로 설계법을 기술한다.

2.1.1 전원(Source)와 부하(Load)가 순 저항성인 경우 T형 정합회로 설계 예

출력이 100W이고, 25Ω 전원과 100Ω 부하 일 때, 위상차 -45° 를 갖는 T형 정합회로를 설계하는 경우를 가정한다. 위상차에 대한 설정은 설계자가 회로의 목적에 따라, $Q = \tan \theta$ 의 관계를 통해 결정하며, 이는 임피던스 정합회로의 대역폭(Bandwidth)을 결정하는 설계 변수가 된다. 또한 위상차가 양(+)위상각을 갖게 할 것인지 음(-)의 위상각을 갖게 할 것인지에 대한 선택 역시, 설계자가, 어떤 회로 구조를 만들 것인가에 의하여 결정된다. 이것은 마치 스미스차트 설계에서 위로 갈 것(유도성)인지 아래로 갈 것(용량성)인지를 결정하는 행위로, 회로의 목적이 저역 통과 필터(Low-Pass Filter, LPF)인지, 고역 통과 필터(High-Pass Filter)에 따라 설정되는 요소이다.

그림 1과 같은 T형 정합회로를 설계하기로 한다. 여기서 X_1 , X_2 , X_3 는 설계를 통하여 결정할 미지의 리액턴스를 나타낸다. 그림 1의 T형 회로망에서 KCL과 KVL을 적용하여 전류벡터와 전압벡터의 조건식은 표 1과 같다.

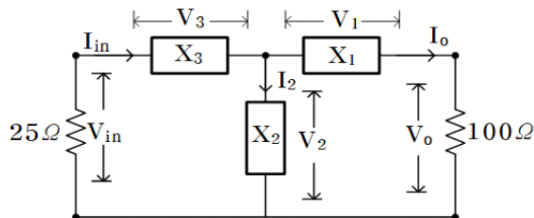


그림 1. T형 정합회로

Fig. 1. T-type matching network

표 1. T형 정합회로 조건

Table 1. Conditions for T-type matching network

Input $P = 100 \text{ [W]}$ $I_{in} = \sqrt{100/25} = 2 \text{ [A]}$ $V_{in} = \sqrt{100 \times 25} = 50 \text{ [V]}$
Phase : $I_{in} \perp V_3$, $I_2 \perp V_2$, $I_o \perp V_1$
Output $P = 100 \text{ [W]}$ $I_o = \sqrt{100/100} = 1 \text{ [A]}$ $V_o = \sqrt{100 \times 100} = 100 \text{ [V]}$
KCL : $I_{in} = I_2 + I_o$ KVL : $V_{in} = V_3 + V_2$, $V_2 = V_1 + V_o$

여기서 출력 100 [W] 으로 한 것은 임의로 정한 것이며, 회로의 입출력은 무손실 회로로 가정하여 입력 전력과 출력전력은 동일하게 설정하였다. 주어진 값을 이용하여 표 1과 같이 입력회로의 I_{in} 과 V_{in} 과 출력회로의 I_o 과 V_o 를 구한다. 주어진 조건들을 벡터도형을 표현하기 위하여 회로의 전류 및 전압벡터의 축척(전압은 10mm/10V, 전류는 20mm/1A)을 결정하며, 결정된 축척은 설계가 끝날 때까지 변경해서는 안 된다.

먼저 출력 I_o 과 V_o 의 벡터 도형을 작도한다. V_o 은 100[V]이므로 10cm의 길이를 갖는 폐(閉)화살표이고, I_o 은 1[A]이므로 2cm의 길이를 갖는 개(開)화살표이다. 여기서 입력측의 I_{in} 과 V_{in} 은 출력보다 -45° 의 위상차를 가지므로 그림 2와 같이 위치하며, V_{in} 은 50[V]이므로 5cm의 길이를 갖는 폐(閉)화살표이고, I_{in} 은 2[A]이므로 4cm의 길이를 갖는 개(開)화살표로 표시된다 I_{in} 과 V_{in} 은 동위상이므로 같은 위치에 놓여진다. 이상으로 입출력 회로의 각각의 벡터가 표현되었다.

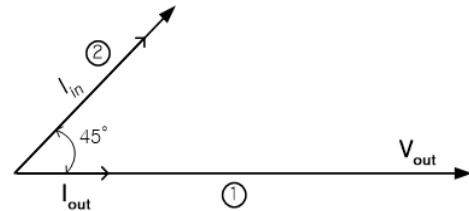


그림 2. 입출력 벡터도

Fig. 2. Vector diagram by input/output phase difference

다음 단계는 KCL과 KVL 얻어진 전류, 전압식과 위상조건을 고려하여 벡터도형을 완성한다.

먼저 KCL로부터 얻어진 식 $I_{in} = I_2 + I_o$ 을 적용한다. I_2 는, I_o 종점(終點)과 I_{in} 종점을 연결하면 I_2 를 구할 수 있다. $I_{in} = I_2 + I_o$ 으로 I_2 의 방향은 결정된다. 다음으로 KVL 얻어진 전압식 $V_{in} = V_3 + V_2$ 에서 V_2 는 I_2 와 수직이고, V_3 은 I_{in} 과 수직으로 만나는 선분이므로, V_2 와 V_3 를 나타낼 수 있다. 또한 $V_2 = V_1 + V_o$ 에서 V_1 은 I_o 과 수직으로 만나는 선분이므로, V_1 을 구할 수 있다. 이렇게 KCL 및 KVL의 식을 위상조건에 따라 표현하면 그림 3과 같은 벡터도를 완성할 수 있다.

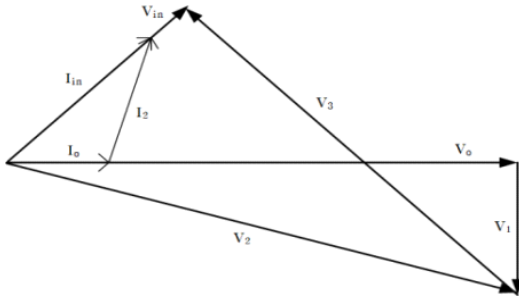


그림 3. -45° T형 정합회로 벡터도
Fig. 3. Vector diagram of T-type matching network with -45°

그림 3의 벡터 도형으로부터 그림 1의 X_1 , X_2 , X_3 를 각 소자의 벡터의 크기와 위상을 구한다. 임의의 리액턴스 크기는 리액턴스 양단전압 리액턴스에 흐르는 전류의 비(比)에 의하여 결정되고, 리액턴스 소자(C 또는 L)는 전압벡터와 전류벡터의 위상에 의하여 결정된다. X_1 , X_2 , X_3 의 리액턴스 소자의 선정과 크기를 결정하기 위하여 먼저 약속된 축척을 통하여 벡터를 실측하여 환산하고, 전압벡터와 전류벡터의 위상을 비교하면 커패시티브 리액턴스 또는 인덕티브 리액턴스 소자를 식 (1)~(3)과 같이 결정한다.

$$X_1 = V_1/I_o = -j28.48 \quad (1)$$

$$X_2 = V_2/I_2 = -j71.52 \quad (2)$$

$$X_3 = V_3/I_{in} = +j45.31 \quad (3)$$

설계상 소수점 자리가 많아질 수 있다. 그러나 실제 소수점 이하 자리를 임의로 결정하더라도 정합에 문제를 일으키는 경우는 없다고 보아도 무방하다. 이상의 결과 값을 회로에 적용하면 그림 4와 같이 정합회로의 소자와 값이 결정된다.

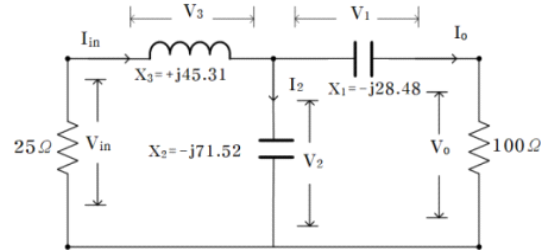


그림 4. -45° T형 정합회로 설계 결과
Fig. 4. Results of T-type matching network with -45°

2.2 직병렬회로 등가변환에 의한 설계값 검증

직병렬 등가변환에 의한 임피던스 정합회로 설계는 리액턴스 소자를 가진 직렬회로망과 병렬회로망을 Q (Quality factor)를 매개로 하여 계산에 의해 설계값을 산출해내는 방법이다. 이 방법은 회로의 최대전력전달조건을 기반으로 만들어졌다. 앞 절에서 설계한 벡터도에 의한 정합회로 설계값을 검증하는 기법으로 직병렬 등가변환 기법을 사용한다.

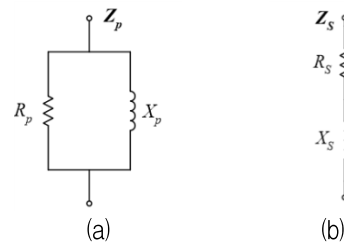


그림 5. 직병렬 등가변환
(a) 병렬회로 (b) 직렬회로

Fig. 5. Serial-parallel equivalent transformation
(a) Parallel circuit (b) Series circuit

직병렬 등가변환은 직렬회로의 임피던스와 병렬회로의 임피던스가 Q 를 매개로 같다는 가정하에 출발한다. 그림 5의 (a)에서는 저항 R_p 와 리액턴스 X_p 가 병렬형태로 연결되어 있고, 그림 5의 (b)에서는 저항 R_s 와 리액턴스 X_s 가 직렬형태로 연결되

어 있다. 여기서 X_p 와 X_s 는 리액턴스(Reactance)소자이고 첨자는 p는 병렬(Parallel), s는 직렬(Series)을 나타내며, X_p 와 X_s 는 리액턴스 소자로 코일을 나타낸다.

그림 5의 직병렬 회로망에서 각각의 합성임피던스를 구해보면 병렬회로의 합성임피던스 Z_p 와 직렬회로의 합성임피던스 Z_s 는 식 (4)와 같이 구해진다[8].

$$Z_p = \frac{1}{\frac{1}{R_p} + j\frac{1}{X_p}} = \frac{R_p}{1 + \frac{R_p^2}{X_p^2}} + j\frac{X_p}{1 + \frac{R_p^2}{X_p^2}}, \quad (4)$$

$$Z_s = R_s + jX_s$$

여기서 R_p 는 그림 5 병렬회로의 병렬저항을 나타내며, R_s 는 그림 5 직렬회로의 직렬저항을 나타낸다. 또한 부하 Q 의 값은 리액턴스와 저항의 비율로 결정되며, 병렬회로의 Q_p 와 직렬회로의 Q_s 는 식 (5)와 같이 정의된다[8].

$$Q_p = \frac{R_p}{X_p}, \quad Q_s = \frac{X_s}{R_s} \quad (5)$$

여기에 나타내는 Q_p 와 Q_s 는 직병렬등가변환을 위한 개별회로의 Q 로 정합회로 전체 대역폭을 결정하는 Tortal Q 와는 달리 등가변환을 위한 단계별 계산자 역할을 한다.

직병렬 등가변환식을 유도하기 직병렬 합성임피던스 식을 등가적으로 $Z_p = Z_s$ 로 놓고, Q_p 와 Q_s 의 관계를 이용하면 직병렬 등가변환 관계식이 만들어진다. 여기서 병렬회로로부터 직렬회로로 변환하는 등가변환식은 식 (6)과 같다[8].

$$R_s = R_p \frac{1}{1 + Q_p^2}, \quad X_s = X_p \frac{Q_p^2}{1 + Q_p^2} \quad (6)$$

또한 직렬회로에서 병렬회로로 등가변환식은 식 (7)과 같다[8].

$$R_p = R_s (1 + Q_s^2), \quad X_p = X_s \frac{1 + Q_s^2}{Q_s^2} = R_s \frac{1 + Q_s^2}{Q_s^2} \quad (7)$$

직렬회로망과 병렬회로망간 등가변환은 회로의 Q 역시 같아야 하는 조건이므로, Q_s 나 Q_p 의 값은 같다. 따라서 회로의 Q 은 식 (8)과 같이 정리된다[8].

$$Q = \frac{R_p}{X_p} = \frac{X_s}{R_s} = \sqrt{\frac{R_p - R_s}{R_s}} = \sqrt{\frac{X_p}{X_p - X_s}} \quad (8)$$

이상의 직병렬 등가변환식을 이용하여 앞절의 벡터도형에 의한 설계값을 검증한다.

앞 절에서 입출력이 저항성 임피던스인 경우, -45° T형 정합회로 설계 결과를 직병렬 등가변환을 통하여 그림 6과 같은 순서로 검증한다.

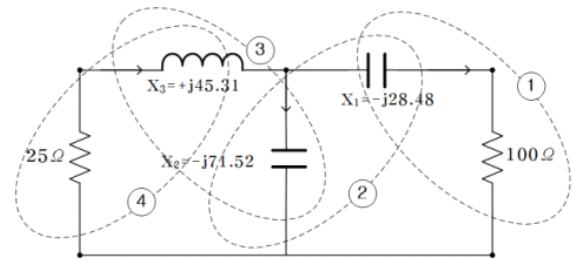


그림 6. -45° T형 정합회로 설계값 검증

Fig. 6. Verification of design T-type matching network with -45°

그림 6의 ①에서 부하에서 전원측으로 직병렬 등가변환식에 의하여 검증한다. ①의 임피던스는 직렬회로 $100 - j28$ 이다. 이것을 등가변환식을 이용하여 병렬회로로 변환하면 식 (9)~(11)과 같다.

$$Q_s = X_s / R_s = 0.28 \quad (9)$$

$$R_p = R_s (1 + Q_s^2) = 107.84 \quad (10)$$

$$X_p = X_s \frac{1 + Q_s^2}{Q_s^2} = -j385.143 \quad (11)$$

$X_p = -j385.143 [\Omega]$ 는 ②의 $X_2 = -j71$ 과 병렬합성하면 $-j385.143 [\Omega] // -j71 \Rightarrow -j59.948$ 가 된다.

따라서, ②까지의 병렬회로 임피던스는 $R_p = 107.84 [\Omega]$, $-j59.948$ 이다.

이것을 다시 직렬변환하면 식 (12)~(14)와 같다.

$$Q_p = \frac{R_p}{X_p} = 1.798 \quad (12)$$

$$R_s = R_p \frac{1}{1 + Q_p^2} = 25.458 \quad (13)$$

$$X_s = X_p \frac{Q_p^2}{1 + Q_p^2} = -j 45.79 \quad (14)$$

식 (14)의 결과와 ③의 $X_3 = -j45$ 은 직렬연결이므로 더하면 $j45.31 - j45 = -j0.79627$ 이 되어 리액턴스는 상쇄되고 입력에서 들여다 본 임피던스는 거의 $25[\Omega]$ 로 정합된다.

III. 임피던스 정합회로 다단 설계

일반적인 RF시스템의 임피던스 정합은 50Ω 을 기준으로 한다. 예를 들면, RF송신시스템의 출력 임피던스는 50Ω 으로 되어 있고 이것을 안테나 임피던스와 정합회로 설계를 통하여 신호전력의 최대전달조건을 만족시키도록 한다. 그러나 무선전력시스템과 같이 출력회로가 주로 코일에 의존하는 회로인 경우 출력 임피던스가 매우 낮아 소스 임피던스와 부하 임피던스를 동일한 임피던스 차이와 Q 의 최적화를 위하여 기하평균의 원리가 적용된다.

예를 들면 N-stage 다단 정합회로 설계에서 소스 임피던스(Z_{source})부터 부하 임피던스(Z_{load})까지의 각 중간 임피던스들은 등비수열(Geometric progression)을 이루며, 각단에 적용될 공통비(Constant ratio, r)는 식 (15)와 같이 나타낼 수 있다.

$$r = \left(\frac{Z_{load}}{Z_{source}} \right)^{\frac{1}{N}} \quad (15)$$

여기서 N 은 총 정합 단수(Number of stages)를 나타내며, 공통비를 이용한 첫 번째 중간 임피던스 $Z_1 = Z_{start} \times r$, 두 번째 중간 임피던스 $Z_2 = Z_1 \times r = Z_{start} \times r^2$, k 번째 중간 임피던스 $Z_k = Z_{start} \times r^k$ 로 나타낸다.

기하 평균을 사용하면 각 정합단의 Q 값이 같아

진다. Q 값이 균등할 때, 회로의 주파수 응답은 가장 평탄한 특성을 얻을 수 있다. 만약 중간 임피던스가 기하 평균에서 멀어진다면, 한쪽 단의 Q 가 높아지고, 회로의 전체 대역폭은 가장 높은 Q 값을 가진 단에 의해 결정되므로, 어느 한쪽이라도 Q 가 높아지면 전체 대역폭은 그만큼 좁아진다.

한편 정합회로에서 기본적으로 사용되는 네트워크로는 T-type, Pi-type 네트워크가 있다. 지금 낮은 임피던스로부터 아주 높은 임피던스로 정합회로를 다단으로 설계한다면, 최적의 조건은 T-type은 낮은 저항 쪽에, Pi-type 네트워크는 높은 저항 쪽에 연결하는 것이 더 유리하고 논리적인 접근방법이다.

가령 3단으로 정합회로를 설계한다면 T-type $\rightarrow$ T-type $\rightarrow$ Pi-type이거나, T-type $\rightarrow$ Pi-type $\rightarrow$ Pi-type이 추천된다. 낮은 저항측에 T 네트워크가 적합한 이유로는 T 네트워크의 입/출력단은 ‘직렬(Series) 소자’로 시작하기 때문에 상대적으로 전류가 높은(High current) 환경이 된다. 이러한 높은 전류는 병렬소자에 비해 직렬 소자로 다루기가 용이하고 안정적이다. Pi 네트워크를 낮은 저항측에 이용하면 매우 낮은 리액턴스 값을 구현해야 하므로 비현실적으로 큰 커패시터나 작은 인덕터가 필요하게 된다.

반면 높은 저항측에 Pi 네트워크가 적합한 이유는 Pi 네트워크의 입/출력단은 병렬(Shunt) 소자로 끝나기 때문에 일반적으로 회로에서 발생할 수 있는 부유 용량(Stray capacitance)의 영향을 자연스럽게 흡수할 수 있는 장점이 있다.

따라서 T 네트워크로 낮은 임피던스를 안정적으로 받아 중간 임피던스로 변환하고, 이어서 Pi 네트워크로 중간 임피던스를 받아 부유 용량을 처리하며 높은 임피던스로 마무리하는 것이 가장 이상적인 흐름이라고 본다.

다음으로 2Ω 과 부하임피던스 100Ω 의 3단 정합회로를 설계한다. 설계의 효율성을 제고하기 위하여 각단별로 벡터도형에 의한 설계와 직병렬등가변환에 의한 검증을 통하여 확인한다.

먼저 공통비는 식 (16)이 되고,

$$r = \left(\frac{Z_{load}}{Z_{source}} \right)^{\frac{1}{N}} = \left(\frac{100}{2} \right)^{\frac{1}{3}} = 3.684 \quad (16)$$

단계별 임피던스는 식 (17), (18)이 된다.

1단계,

$$Z_1 = Z_{source} \times r = 2 \times 3.684 = 7.37 \Omega \quad (17)$$

2단계,

$$Z_2 = Z_{source} \times r^2 = 2 \times 3.684^2 = 27.14 \Omega \quad (18)$$

정해진 임피던스에 대한 Q 를 구해보면 식 (19)와같이 각단마다 동일함을 알 수 있다.

$$\begin{aligned} Q &\equiv \sqrt{\frac{R_{\max}}{R_{\min}} - 1} = \sqrt{\frac{7.37}{2} - 1} \\ &= \sqrt{\frac{27.14}{7.37} - 1} = 1.64 \end{aligned} \quad (19)$$

그림 7과 같은 소스 임피던스 2Ω 과 부하 임피던스 100Ω 정합회로는 3단으로 할 때 그림 8과 같이 먼저 2Ω 과 7.37Ω 의 정합회로를 설계하고, 다음으로 $7.37\Omega \leftrightarrow 27.14\Omega$ 를 설계, 최종적으로 $27.14\Omega \leftrightarrow 100\Omega$ 을 설계하여 3단계의 회로를 중속(Cascade)시켜 완성한다. 소스 또는 부하 임피던스에 리액턴스 성분이 있는 경우에는 먼저 리액턴스 성분을 상쇄시키는 회로를 추가하고 순저항 성분의 회로로 설계를 진행한다.

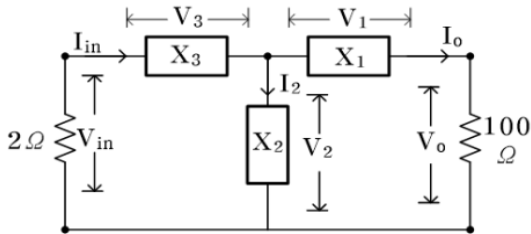


그림 7. 2Ω 과 100Ω 정합회로

Fig. 7. T-type impedance matching network for 2Ω vs 100Ω

3.1 1단계: 소스임피던스 2Ω 과 부하임피던스 7.37Ω T-Type 정합회로 하이브리드 설계

1단계 설계에서 그림 8을 기준으로 회로의 입출력 위상차는 Q 를 고려하여 -50° 로 설정하고, T-Type 정합회로를 설계한다. 정합회로 출력은 $100 [W]$ 이며, 입출력에서의 손실은 없는 것으로 가정하여 설계한다.

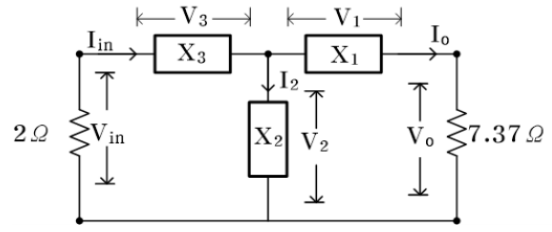


그림 8. 2Ω 과 7.37Ω T-Type 정합회로

Fig. 8. T-type matching network with 2Ω input and 7.37Ω output

먼저 그림 8의 T-Type 회로 조건에서 X_1 , X_2 , X_3 리액턴스 소자를 설계하여 유도성 리액턴스(Inductive reactance) 또는 용량성 리액턴스(Capacitive reactance)인지를 결정하고, 그 값을 구한다. 표 2는 T형 정합회로 설계 조건으로 그림 8로부터 출력 $100 [W]$ 를 기준으로 입출력 전압 및 전류, 위상조건과 KCL과 KVL에 의한 조건을 나타낸 것이다.

표 2. 1단계 : T형 정합회로 설계 조건

Table 2. Step 1: T-type matching network design conditions

Input $Z_{in} = 2 \Omega$ $P = 100 [W]$ $I_{in} = \sqrt{100/2} = 7.07 [A]$ $V_{in} = \sqrt{100 \times 2} = 14.142 [V]$
Phase : $I_{in} \perp V_3$, $I_2 \perp V_2$, $I_o \perp V_1$
OutPut $Z_{out} = 7.37 \Omega$ $P = 100 [W]$ $I_o = \sqrt{100/7.37} = 3.683 [A]$ $V_o = \sqrt{100 \times 7.37} = 27.147 [V]$
KCL : $I_{in} = I_2 + I_o$ KVL : $V_{in} = V_2 + V_3$, $V_2 = V_1 + V_o$

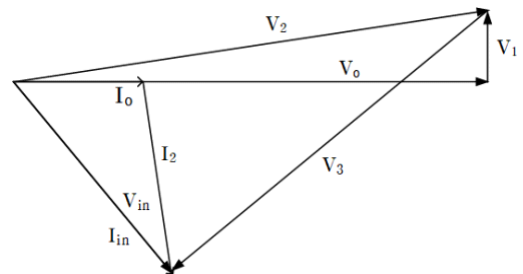


그림 9. $Z_{in} = 2\Omega$ 과 $Z_{out} = 7.37\Omega$ 정합회로 벡터도

Fig. 9. Vector diagram for T-type impedance matching network for $Z_{in} = 2\Omega$ and $Z_{out} = 7.37\Omega$

표 2에 제시된 조건을 기반으로 벡터도를 그려보면 그림 9와 같은 벡터도를 그릴 수 있다. 여기서 입출력 위상은 -60° 이다. 여기서 전압 축척은 $1[V]$ 가 5mm , 전류축척은 $1[A]$ 가 10mm 로 나타내었다.

리액턴스 값은 각 소자에 걸리는 임피던스 크기는 리액턴스 소자 양단 전압과 소자에 흐르는 전류의 비로 결정되는데, 먼저 벡터도형의 크기를 실측하고, 축척을 고려하여 구한다. 또한 소자에 걸리는 전압과 흐르는 전류의 위상에 따라 유도성 리액턴스(jX) 혹은 용량성($-jX$) 리액턴스가 결정된다.

$$X_1 = V_1/I_o = +j1.09 \quad (20)$$

$$X_2 = V_2/I_2 = +j5.07 \quad (21)$$

$$X_3 = V_3/I_{in} = -j3.29 \quad (22)$$

이러한 위상 및 벡터의 길이에 의하여 T형 정합회로 각 소자의 리액턴스 소자와 값은 식 (20)~(22)와 같이 결정할 수 있고, 그림 10과 같이 설계를 완성할 수 있다.

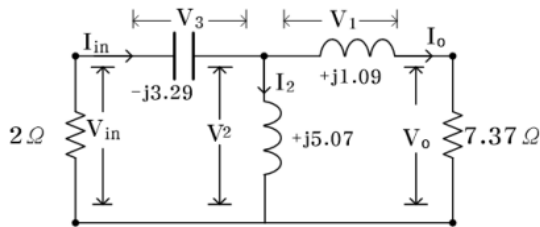


그림 10. $Z_{in} = 2\Omega$ 과 $Z_{out} = 7.37\Omega$

정합회로 설계 결과

Fig. 10. Results for T-type matching network for $Z_{in} = 2\Omega$ and $Z_{out} = 7.37\Omega$

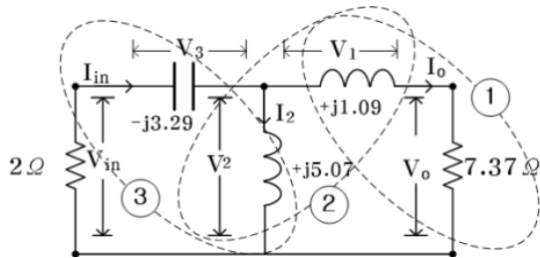


그림 11. $Z_{in} = 2\Omega$ 과 $Z_{out} = 7.37\Omega$ 설계값 검증

Fig. 11. Verification of T-type matching network results for $Z_{in} = 2\Omega$ and $Z_{out} = 7.37\Omega$

다음 단계로 그림 10으로 결정된 설계값을 2.2절 직병렬등가변환식에 의해 검증하였다. 그림 11은 설계값 검증을 위한 순서를 나타낸다.

검산 결과 부하로 들여다 본 리액턴스 성분은 제로에 가깝고 소스 임피던스 2Ω 에 거의 정합된다.

3.2 2단계: 소스임피던스 7.37Ω 과 부하임피던스 27.14Ω T-Type 정합회로 하이브리드 설계

2단계 설계에서 그림 12를 기준으로 회로의 입출력 위상차는 Q 를 고려하여 45° 로 하고, T-Type 정합회로를 설계한다. 정합회로 출력은 100 [W] 이며 입출력에서의 손실은 없는 것으로 가정하여 설계한다.

먼저 그림 12의 T-Type 회로 조건에서 X_1 , X_2 , X_3 리액턴스 소자 설계를 통하여 소자의 결정 및 그 크기를 구한다.

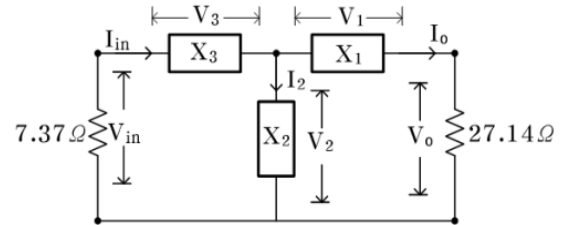


그림 12. 7.37Ω 와 27.14Ω 의 T형 정합회로

Fig. 12. T-type matching network with 7.37Ω input and 27.14Ω output

표 3은 T형 정합회로 설계 조건으로 그림 12로부터 출력 100 [W] 를 기준으로 입출력 전압 및 전류, 위상 조건과 KCL과 KVL에 의한 조건을 나타낸 것이다.

표 3. 2단계 : T형 정합회로 설계 조건

Table 3. Step 2: T-type matching network design conditions

Input
$P = 100\text{ [W]}$
$I_{in} = \sqrt{100/7.37} = 3.683\text{ [A]}$
$V_{in} = \sqrt{100 \times 7.37} = 27.147\text{ [V]}$
Phase : $I_{in} \perp V_3$, $I_2 \perp V_2$, $I_o \perp V_1$
Output
$P = 100\text{ [W]}$
$I_o = \sqrt{100/27.14} = 1.92\text{ [A]}$
$V_o = \sqrt{100 \times 27.14} = 52.096\text{ [V]}$
KCL : $I_{in} = I_2 + I_o$
KVL : $V_{in} = V_2 + V_3$, $V_2 = V_1 + V_o$

표 3에 제시된 조건을 기반으로 벡터도를 그려보면 그림 13과 같은 벡터도를 그릴 수 있다. 여기서 입출력 위상은 $\angle 45^\circ$ 이다. 여기서 전압 축척은 1[V]가 3mm, 전류축척은 1[A]가 10mm로 나타내었다.

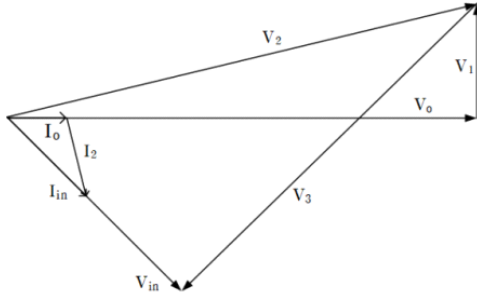


그림 13. $Z_{in} = 7.37\Omega$ 와 $Z_{out} = 27.14\Omega$ 의 정합회로 벡터도

Fig. 13. Vector diagram for T-type impedance matching network for $Z_{in} = 7.37\Omega$ and $Z_{out} = 27.14\Omega$

리액턴스 값은 각 소자에 걸리는 임피던스 크기는 3장 1절과 같은 방법으로 벡터도형의 크기를 실측하고, 축척을 고려하여 구한다. 2단계 T형 정합회로 각 소자의 리액턴스 소자와 값은 식 (23)~(25)와 같이 결정할 수 있고, 그림 14와 같이 설계를 완성할 수 있다.

$$X_1 = V_1/I_o = +j6.6 \quad (23)$$

$$X_2 = V_2/I_2 = +j20.085 \quad (24)$$

$$X_3 = V_3/I_{in} = -j12.345 \quad (25)$$

그림 14에 결정된 설계값을 검증하기 위한 순서를 그림 15로 나타낸다.

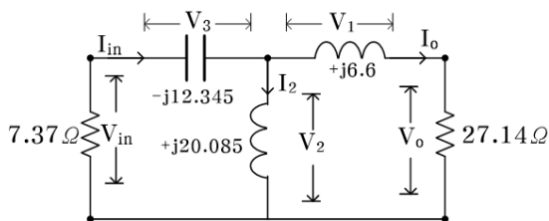


그림 14. $Z_{in} = 7.37\Omega$ 와 $Z_{out} = 27.14\Omega$ 정합회로 설계값

Fig. 14. Results for T-type matching network for $Z_{in} = 7.37\Omega$ and $Z_{out} = 27.14\Omega$

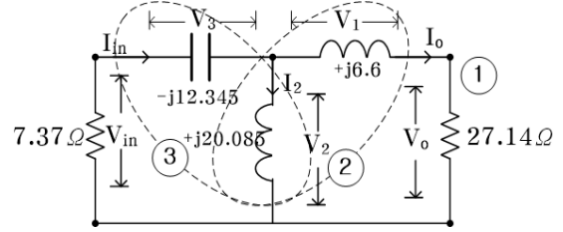


그림 15. $Z_{in} = 7.37\Omega$ 와 $Z_{out} = 27.14\Omega$ 정합회로 설계값 검증

Fig. 15. Verification of T-type matching network results for $Z_{in} = 2\Omega$ and $Z_{out} = 7.37\Omega$

검산 결과 입력에서 부하로 들여다 본 임피던스의 성분은 제로에 가깝고, 소스 임피던스 7.37Ω 에 거의 정합된다.

3.3 3단계: 소스임피던스 27.14Ω 과 부하임피던스 100Ω Pi-Type 정합회로 하이브리드 설계

3단계 설계에서 그림 16을 기준으로 회로 입출력 위상차는 Q 를 고려하여 -45° 로, Pi-Type 정합회로를 설계한다. 정합회로 출력은 100 [W] 이며, 입출력에서의 손실은 없는 것으로 가정하여 설계한다.

먼저 그림 16의 Pi-Type 회로 조건에서 X_1 , X_2 , X_3 리액턴스 소자 설계를 통하여 소자의 결정 및 그 크기를 구한다. 표 4는 Pi형 정합회로 설계 조건으로 그림 16으로부터 출력 100 [W] 를 기준으로 입출력 전압 및 전류, 위상조건과 KCL과 KVL에 의한 조건을 나타낸 것이다.

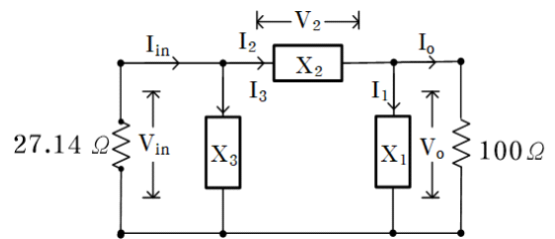


그림 16. 27.14Ω 와 100Ω 의 Pi 타입 정합회로

Fig. 16. Pi-type matching network with 27.14Ω input and 100Ω output

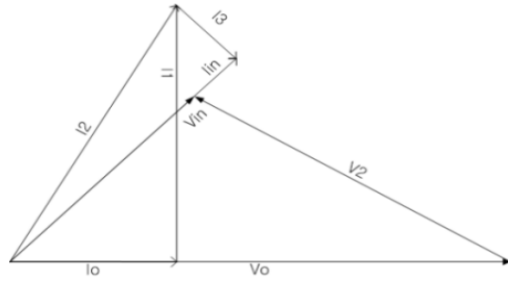
표 4에 제시된 조건을 기반으로 벡터도를 그려보면 그림 17과 같은 벡터도를 그릴 수 있다.

여기서 입출력 위상은 $\angle +45^\circ$ 이다. 여기서 전압 축척은 1[V]가 1.5mm, 전류축척은 1[A]가 50mm로 나타내었다.

표 4. 3단계 : Pi 타입 정합회로 설계 조건

Table 4. Step 3: Pi-type matching network design conditions

Input
$P = 100$ [W]
$I_{in} = \sqrt{100/27.14} = 1.92$ [A]
$V_{in} = \sqrt{100 \times 27.14} = 52.096$ [V]
Phase : $I_1 \perp V_o$, $I_2 \perp V_2$, $I_3 \perp V_{in}$
Output
$P = 100$ [W]
$I_o = \sqrt{100/100} = 1$ [A]
$V_o = \sqrt{100 \times 100} = 100$ [V]
KCL : $I_{in} = I_3 + I_2$, $I_2 = I_1 + I_o$
KVL : $V_{in} = V_2 + V_o$

그림 17. $Z_{in} = 27.14 \Omega$ 와 $Z_{out} = 100 \Omega$ 정합회로 벡터도Fig. 17. Vector diagram for T-type impedance matching network for $Z_{in} = 27.14 \Omega$ and $Z_{out} = 100 \Omega$

리액턴스 값은 각 소자에 걸리는 임피던스 크기는 앞 결과와 같은 방법으로 벡터도형의 크기를 실측하고, 축척을 고려하여 구한다. 3단계 Pi형 정합회로 각 소자의 리액턴스 소자와 값은 식 (26)~(28)과 같이 결정할 수 있고, 그림 18과 같이 설계를 완성할 수 있다.

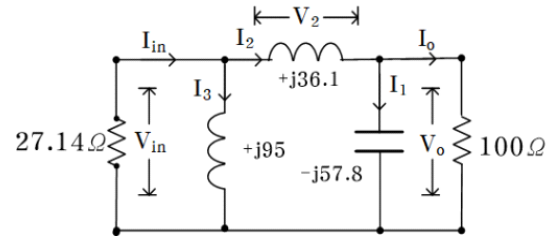
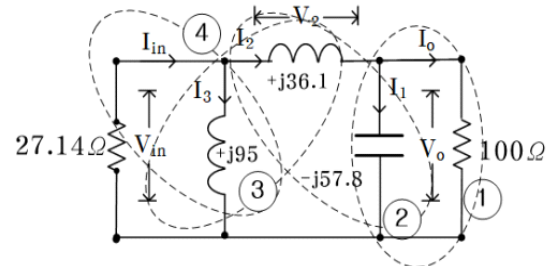
$$X_1 = V_o/I_1 = -j57.8 \quad (26)$$

$$X_2 = V_2/I_2 = +j36.1 \quad (27)$$

$$X_3 = V_{in}/I_3 = +j95 \quad (28)$$

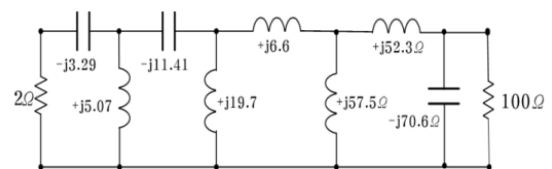
그림 18의 결정된 설계값을 직병렬등가변환식에 의해 검증하기 위한 순서도를 그림 19로 나타낸다.

검산 결과 입력에서 부하로 들여다 보는 임피던스는 최종 리액턴스 성분은 제로에 가깝고, 소스 임피던스 27.14Ω 에 거의 정합되고 있음을 알 수 있다.

그림 18. $Z_{in} = 27.14 \Omega$ 와 $Z_{out} = 100 \Omega$ 정합회로 설계 결과Fig. 18. Results for T-type matching network for $Z_{in} = 27.14 \Omega$ and $Z_{out} = 100 \Omega$ 그림 19. $Z_{in} = 27.14 \Omega$ 와 $Z_{out} = 100 \Omega$ 설계값 검증
Fig. 19. Verification of T-type matching network results for $Z_{in} = 27.14 \Omega$ and $Z_{out} = 100 \Omega$

최종적으로 앞 절에서 설계한 그림 10, 그림 14, 그림 18 결과를 종속하여 설계를 완성한다. 종속 연결시 고려사항으로는 각 단의 출력 리액턴스와 다음 단의 입력 리액턴스 처리이다. 그림 10의 출력 리액턴스는 그림 14의 입력 리액턴스와 직렬 연결이므로 하나의 리액턴스로 처리된다. 또한 그림 14의 출력 리액턴스는 그림 18의 입력 리액턴스와 병렬로 처리한다.

그림 20은 $Z_{in} = 2 \Omega$ 과 $Z_{out} = 100 \Omega$ 정합회로 설계의 최종 결과를 보여준다. 그림 21과 그림 22는 설계값에 대한 S-파라미터로 onlinecircuitsolver.com에서 제공하는 툴을 사용한 시뮬레이션 결과이다 [9]. 10kHz에서 S11은 -17dB, S21은 0.087dB로 정합되고 있음을 확인하였다.

그림 20. $Z_{in} = 2 \Omega$ 와 $Z_{out} = 100 \Omega$ 정합회로 설계 결과Fig. 20. Results for Impedance matching network for $Z_{in} = 2 \Omega$ and $Z_{out} = 100 \Omega$

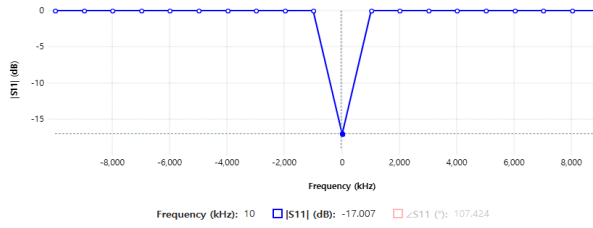


그림 21. $Z_{in} = 2\ \Omega$ 와 $Z_{out} = 100\ \Omega$ 정합회로의 S-parameters(S11)

Fig. 21. S-parameters(S11) of the $Z_{in} = 2\ \Omega$ and $Z_{out} = 100\ \Omega$ Matching circuit

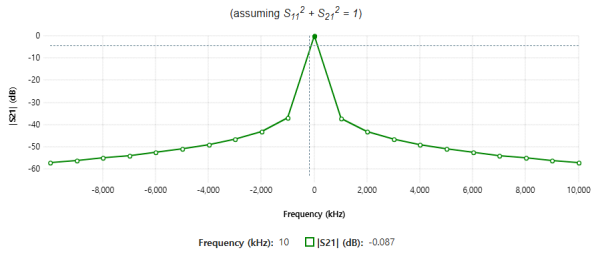


그림 22. 그림 21. $Z_{in} = 2\ \Omega$ 와 $Z_{out} = 100\ \Omega$ 정합회로의 S-parameters(S21)

Fig. 22. S-parameters(S21) of the $Z_{in} = 2\ \Omega$ and $Z_{out} = 100\ \Omega$ Matching circuit

IV. 결 론

본 논문에서는 WPT 시스템의 전력 전송 고효율화를 위해 임피던스 부정합을 효과적으로 해결할 수 있는 다단 임피던스 정합회로의 설계 방법을 제시하고 그 유효성을 입증하였다. 제안된 방법은 벡터 도형을 이용한 직관적 설계와 직병렬 등가 변환을 통한 수학적 검증을 결합하여 설계의 신속성과 정밀성을 동시에 만족시킨다.

특히 소스 $2\ \Omega$ 에서 부하 $100\ \Omega$ 으로 연결되는 높은 임피던스 변환비 조건에서 3단 정합회로 설계를 수행하였다. 기하 평균의 원리에 기반하여 각 정합단의 Q값을 균등하게 배분하여 최적 중간 임피던스를 도출하고, 저임피던스 처리에 유리한 T 네트워크와 고임피던스단의 부유 용량 흡수에 유리한 Pi 네트워크를 종속 접속하여 전체 회로를 구성하였다.

최종적으로 직병렬 등가 변환을 통한 단계별 계산 과정에서 설계값을 검증하고, 시뮬레이션을 통해 제안된 설계 방법의 신뢰성과 실효성을 확인하였다.

References

- [1] S. Y. R. Hui, W. Zhong, and C. K. Lee, "A critical review of recent progress in mid-range wireless power transfer", IEEE Trans. Power Electron., Vol. 29, No. 9, pp. 4500-4511, Sep. 2013. <https://doi.org/10.1109/TPEL.2013.2240695>.
- [2] Y. Zhang, Y. Feng, S. Liu, J. Wu, and X. He, "Impedance Matching Method for 6.78 MHz Class-E2-Based WPT System", Energies, Vol. 14, No. 14, pp. 4289, Jul. 2021. <https://doi.org/10.3390/en14144289>.
- [3] A. Kurs, A. Karalis, R. Moffatt, J. D. Joannopoulos, P. Fisher, and M. Soljačić, "Wireless power transfer via strongly coupled magnetic resonances", Science, Vol. 317, No. 5834, pp. 83-86, Jul. 2007. <https://doi.org/10.1126/science.1143254>.
- [4] A. P. Sample, D. T. Meyer, and J. R. Smith, "Analysis, experimental results, and range adaptation of magnetically coupled resonators for wireless power transfer", IEEE Trans. Ind. Electron., Vol. 58, No. 2, pp. 544-554, Feb. 2010. <https://doi.org/10.1109/TIE.2010.2042507>.
- [5] Z. N. Low, R. A. Chinga, R. Tseng, and J. Lin, "Design and test of a high-power high-efficiency loosely coupled planar wireless power transfer system", IEEE Trans. Ind. Electron., Vol. 56, No. 5, pp. 1801-1812, May 2009. <https://doi.org/10.1109/TIE.2008.922882>.
- [6] S. C. Cripps, "RF Power Amplifiers for Wireless Communications", Norwood, MA: Artech House, Vol. 250, Jan. 2006.
- [7] D. M. Pozar, "Microwave Engineering: Theory and Techniques", John Wiley & Sons, Feb. 2021.
- [8] C. Bowick, "RF Circuit Design", Elsevier, 2011.
- [9] <https://onlinecircuitsolver.com>. [accessed: Oct. 18, 2025]

저자소개

원 라 경 (Lakyoung weon)



2003년 8월 : 한국해양대학교

자동화정보공학부(공학사)

2005년 2월 : 한국해양대학교

대학원 컴퓨터공학과(공학석사)

2014년 2월 : 한국해양대학교

대학원 컴퓨터공학과(공학박사)

2017년 3월 ~ 현재 : 고신대학교

교양학부 교수

관심분야 : 무선통신, 임베디드시스템, 인공지능, ICT융합