

연속-시간 선형 등화기 및 레벨 시프터를 포함하는 6Gbps 저전력 MIPI D-PHY 수신기

이헌화*, 장영찬**

A 6Gbps Low-Power MIPI D-PHY Receiver Including Continuous-Time Linear Equalizer and Level Shifter

Heonhwa Lee*, Young-Chan Jang**

This work was partly supported by the IITP grant funded by the Korea government (MSIT) (No. RS-2025-02214672, 50%) and the HRD Program for Industrial Innovation through the KIAT grant funded by the Korea government (MOTIE) (No. P0017011, 50%)

요 약

본 논문에서는 MIPI(Mobile Industry Processor Interface) D-PHY v2.5를 지원하기 위해 6Gbps의 저전력 수신기를 제안한다. 제안된 MIPI D-PHY 수신기는 채널 손실을 보상하는 연속-시간 선형 등화기와 CMOS 신호 변환을 위한 레벨 시프터로 구성된다. 연속-시간 선형 등화기는 PMOS 입력 트랜지스터와 능동 인덕터 부하를 갖춘 차동 증폭기, 그리고 cross-coupled 공통 게이트 증폭기로 구성되어 저전력 등화를 가능하게 한다. 래치 기반의 레벨 시프터는 낮은 전력 소모로도 높은 전압 이득을 제공하여 안정적인 CMOS 신호 변환을 수행한다. 40-nm CMOS 공정에서 1.2V 공급 전압으로 설계된 본 수신기의 전력 소모는 기존 연구 대비 낮은 0.164 mW/Gbps로 측정되었다.

Abstract

A 6Gbps low-power receiver is proposed to support the Mobile Industry Processor Interface (MIPI) D-PHY v2.5. The proposed MIPI D-PHY receiver consists of a continuous-time linear equalizer to compensate for channel loss and a level shifter for conversion to CMOS signals. The first stage, the continuous-time linear equalizer, consists of a differential amplifier with PMOS input transistors and active inductor loads, along with a cross-coupled common-gate amplifier, enabling low-power equalization. Furthermore, a latch-based level shifter provides high voltage gain at low power consumption, ensuring stable conversion to CMOS signals. The power consumption of the proposed MIPI D-PHY receiver, designed in a 40-nm CMOS process using a 1.2V supply voltage, is 0.164 mW/Gbps.

Keywords

MIPI D-PHY, receiver, active inductor, cross-coupled common-gate amplifier, latch-based level shifter

* 국립금오공과대학교 반도체시스템공학과 석사과정
- ORCID: <https://orcid.org/0009-0008-8096-4673>
** 국립금오공과대학교 전자공학부 교수(교신저자)
- ORCID: <https://orcid.org/0000-0001-8680-9270>

• Received: Oct. 14, 2025, Revised: Nov. 06, 2025, Accepted: Nov. 09, 2025
• Corresponding Author: Young-Chan Jang
School of Electronic Engineering, Kumoh National Institute of Technology,
Korea
Tel.: +82-54-478-7434, Email: ycjang@kumoh.ac.kr

1. 서 론

모바일 기술의 고사양화에 따라 디스플레이, 카메라, 센서 등 다양한 모듈 및 칩 간의 광대역 고속 데이터 송수신이 필수 요소로 자리 잡고 있다. 그러나 모바일 기기는 배터리 기반으로 동작하기 때문에, 각 인터페이스 구간에서 전력 효율성과 데이터 전송률의 지속적인 향상이 중요한 설계 과제로 부상하고 있다. 이에 따라 모바일 기기 간 고속-저전력 통신을 위한 표준인 MIPI D-PHY가 수립되었으며, 최신 버전인 v2.5는 lane당 최대 6.0 Gbps의 데이터 전송을 지원한다[1]. MIPI D-PHY는 그림 1과 같이 SLVS(Scalable Low Voltage Signaling) 기반의 고속 직렬 통신 인터페이스를 사용하는데, 기존의 인터페이스 방식과는 달리 저전압 차동 신호를 송신한다. 이를 통해 신호의 전달 과정에서의 전력 소모를 크게 줄인다. SLVS와 같은 저전압 차동 신호의 수신단은 송신단에서 송신한 낮은 전압의 차동 신호를 안정적으로 수신하고 CMOS 수준의 신호로 변환하기 위해 그림 2(a)와 같이 공통 게이트 레벨 시프터(CGLS, Common-Gate Level Shifter), 연속 시간 선형 등화기(CTLE, Continuous-Time Linear Equalizer) 및 레벨 시프터(Level shifter)로 구현될 수 있다[2]-[4]. 그림 2(b)는 MIPI D-PHY에서 사용된 CGLS의 회로도의 예시를 보여주는데, 상보적으로 동작하는 증폭기를 커패시터를 통해 연결하여 기존의 DC 전압 이득을 유지하면서 고주파 성분의 손실을 보상하는 프리 앰퍼시스(Pre-emphasis) CGLS가 사용되었다[5].

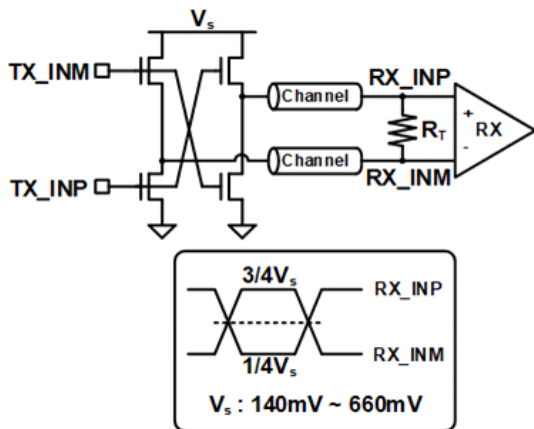


그림 1. SLVS 인터페이스의 개념도
Fig. 1. Conceptual diagram of SLVS interface

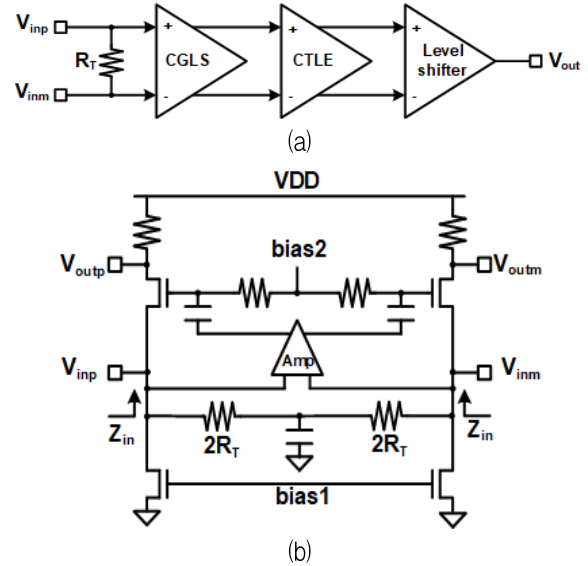


그림 2. 기존 MIPI D-PHY 수신기

(a) 블록도 (b) CGLS의 회로도

Fig. 2. Conventional MIPI D-PHY receiver

(a) Block diagram (b) Circuit diagram of CGLS

이와 같이 MIPI D-PHY 수신기의 첫 단계 CGLS 증폭기를 사용하는 경우, 식 (1)에서와 같이 NMOS 트랜지스터 소스 단자의 유한한 임피던스로 인해 수신단 입력 저항(RR_{XIN})이 목표값에서 이탈하여 종단 터미네이션 매칭에 어려움을 초래한다.

$$R_{RXIN} = Z_{in} \parallel R_T \quad (1)$$

특히 높은 데이터 전송률에서는 높은 전류 구동력이 요구되어 트랜지스터의 gm 값을 크게 설계한다. 그러나 Z_{in} 이 $1/gm$ 에 비례하기 때문에, 전송률이 높아질수록 종단 임피던스 매칭이 불안정해지고 그 변동 폭이 커져 시스템의 신호 무결성을 저하한다. 또한, 큰 대역폭을 구현하기 위한 CGLS의 낮은 전압 이득 특성으로 인해 MIPI D-PHY 수신기에는 추가적인 증폭기와 보상 회로가 필요하며, 이로 인해 전체 전력 소모가 증가하여 고성능 모바일 기기 적용이 어려워진다. 본 논문에서는 기존 연구[6]에서 제안된 구조를 기반으로, MIPI D-PHY v2.5를 위한 등화기와 레벨 시프터로 구성된 수신기를 새롭게 설계하였다. 제안된 수신기는 6Gbps의 고속 데이터 전송을 지원하면서 저전력 동작이 가능하며,

채널에 의한 신호 열화를 효과적으로 보상하여 모바일 시스템 환경에서도 안정적인 데이터 수신을 가능하게 한다.

II. 6Gbps MIPI D-PHY 수신기

MIPI D-PHY v2.5를 지원하기 위한 제안하는 6Gbps 저전력 수신기의 블록도가 그림 3에 나타난다. 저전력 구현을 위해 제안된 MIPI D-PHY 수신기는 채널의 손실을 보상하기 위한 연속-시간 선형 등화기와 CMOS 신호로의 변환을 위한 레벨 시프터의 두 단으로 구성된다. 또한 종단 터미네이션을 위해 입력되는 차동 신호 VINP와 VINM 사이에 100Ω의 RT가 연결된다.

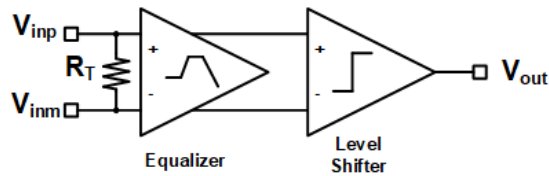


그림 3. 제안하는 MIPI D-PHY 수신기의 블록도
Fig. 3. Block diagram of proposed MIPI D-PHY receiver

2.1 연속-시간 선형 등화기

제안하는 MIPI D-PHY 수신기의 첫 번째 단인 연속-시간 선형 등화기는 그림 4와 같이 PMOS 입력 트랜지스터들 및 능동 인덕터(Active inductor) 부하들을 가진 차동증폭기와 cross-coupled 공통 게이트 증폭기로 구성되어 저전력 등화의 수행을 가능하게 한다. 또한, 기존의 CGLS 기반 등화기와 달리 제안된 등화기는 PMOS 트랜지스터의 게이트 단자로 신호의 입력을 받아 입력 임피던스가 무한하여 고속 전송률에서도 종단 터미네이션 매칭이 용이하다. 그림 5는 제안된 등화기의 half circuit을 나타낸 것이다. 첫 번째 단의 부하인 ZAI는 능동 인덕터의 출력 임피던스를 나타내는데, 저항과 커패시터로 구성된 회로에서 형성된 전압이 트랜지스터를 통해 형성된 전류가 피드백(Feedback)되어 출력 임피던스가 고역 통과 필터(High-pass filter)의 특성을 가진다[7][8]. 이를 통해 채널에 의한 신호의 고주파 성분의 손실을 보상할 수 있다. 두 번째 단인 cross-coupled 공통 게

이트 증폭기는 기존의 CGLS에서 차동의 소스 단자를 교차 연결한(Cross-coupled) 구조를 활용하는데, NMOS 트랜지스터와 PMOS 트랜지스터의 전압 이득이 합쳐져 높은 전압 이득을 가지게 되며 하나의 PMOS 게이트 단자에서 극점(Pole)이 형성되어 넓은 대역폭을 가진다[9]. 따라서, 제안된 연속-시간 선형 등화기는 식 (2)와 같이 높은 전압 이득을 가짐으로 추가적인 증폭기 없이 신호를 CMOS 수준에 근접한 전압으로 변환할 수 있어 전체 수신기의 전력 소모를 줄일 수 있다.

$$A_V = g_{m1}Z_{AI} \times g_{m3}r_{o3}(g_{m4} + g_{m5})(r_{o4} \parallel r_{o5}) \quad (2)$$

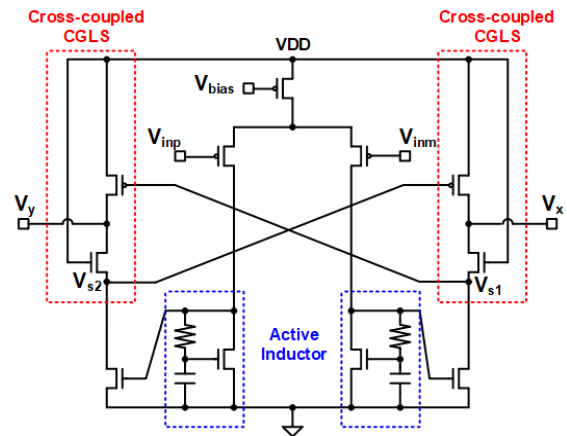


그림 4. 제안된 연속-시간 선형 등화기의 회로도
Fig. 4. Circuit diagram of proposed continuous-time linear equalizer

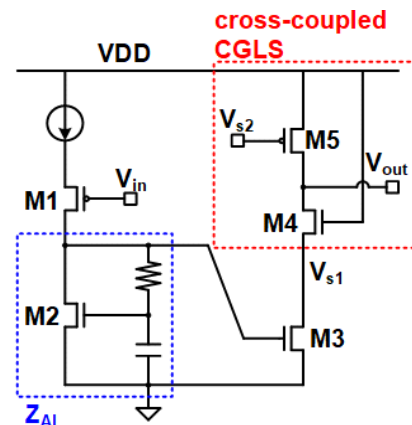


그림 5. 제안된 등화기의 half circuit
Fig. 5. Half circuit of proposed equalizer

그림 6은 설계된 MIPI D-PHY 수신기의 첫 번째 단인 연속-시간 선형 등화기의 주파수 응답을 보여

준다. DC에서 8.45dB, 2GHz에서 최대 13.8dB의 이득을 가져 고주파 성분의 감쇠를 보상할 수 있다.

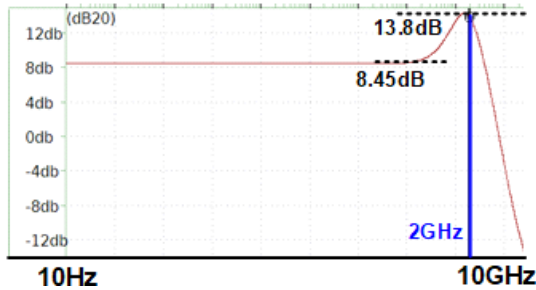


그림 6. 제안된 등화기의 주파수 응답

Fig. 6. Frequency response of proposed equalizer

2.2 래치 기반 레벨 시프터

그림 7에 보인 기존의 전류 거울(Current mirror) 기반 레벨 시프터는 NMOS 트랜지스터의 게이트로 차동(Differential) 신호를 수신하여 CMOS 수준의 단일 종단(Single-ended) 신호로의 변환을 수행한다. 이러한 구조는 비교적 단순하여 구현이 용이하다는 장점이 있으나, 풀업(Pull-up) 회로가 PMOS 트랜지스터의 전류 거울 형태로 구성되기 때문에, 출력 노드의 전압 스윙이 제한되고 충분한 전압 이득(Voltage gain)을 확보하기 어려운 단점이 있다. 이 단점을 극복하고 신호를 안정적으로 전환하기 위해서 큰 바이어스 전류가 요구되어 레벨 시프터의 전력 소모가 증가될 수 있다[10]. 또한 이러한 구조는 저전압 환경이나 고속 동작 조건에서 입력 신호의 변환 효율이 급격히 저하되는 문제도 존재한다. 이러한 문제점을 해결하기 위해 본 논문에서는 그림 8과 같은 레벨 시프터가 제안된다. 제안된 회로는 입력단에 인버터를 배치하여 입력 신호를 초기 증폭하고, 이후 출력 노드와 입력 노드가 cross-coupled된 래치(Latch) 구조를 통해 CMOS 수준의 단일 종단 신호를 생성한다. 래치는 두 개의 인버터가 서로 피드백되어 구성되며, 작은 입력 전압 변동이 첫 번째 인버터에 의해 증폭된 뒤 다시 두 번째 인버터로 전달되어 positive feedback 경로를 형성한다. 이러한 되먹임 작용은 출력 전압의 천이를 빠르게 유도하고, 신호 전환 시 명확한 논리 레벨을 확보하도록 돕는다. 결과적으로 제안된 레벨 시프터는 낮은

전원 전압 환경에서도 안정적인 CMOS 레벨 변환이 가능하며, 기존 전류 거울 기반 구조에 비해 전력 소모를 크게 줄이면서도 높은 전압 이득을 유지할 수 있다.

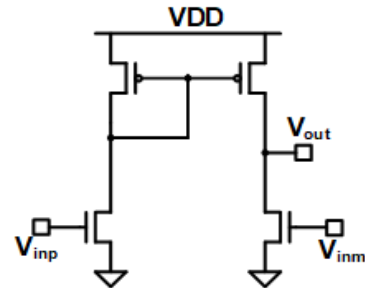


그림 7. 기존의 레벨 시프터의 회로도

Fig. 7. Circuit diagram of conventional level shifter

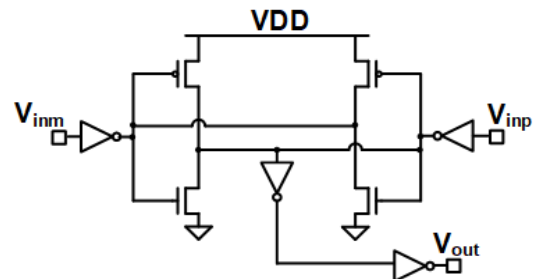


그림 8. 제안된 레벨 시프터의 회로도

Fig. 8. Circuit diagram of proposed level shifter

III. 시뮬레이션 결과

MIPI D-PHY v2.5를 위해 제안된 수신기는 1.2V의 공급 전압에서 동작하며, CMOS 40-nm 공정으로 설계되었다. 그림 9는 제안된 MIPI D-PHY 수신기의 특성을 평가하기 위한 시뮬레이션 환경을 보여주는데, 30cm 길이의 FR-4 PCB와 칩의 package model을 포함한다.

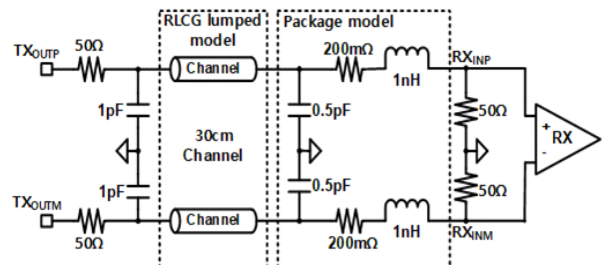


그림 9. 시뮬레이션 환경

Fig. 9. Simulation environment

그림 10은 설계된 MIPI D-PHY 수신기가 6Gbps의 데이터 전송 속도에서 동작할 때 공정(Process), 전압(Voltage), 그리고 온도(Temperature)의 변화에 따른 입력 신호, 등화기 출력 신호, 그리고 레벨 시프터 출력 신호의 아이 다이어그램에 대한 시뮬레이션 결과를 보여준다. Typical corner의 의미는 CMOS 공정이 목표치로 진행된 경우에 대해서 1.2V의 전원과 50°C의 온도 환경에서 시뮬레이션이 진행되었음을 의미한다. Fast corner는 CMOS 공정이 트랜지스터 캐리어의 이동도와 도핑 농도가 목표치보다 높은 경우에 대해서 1.32V의 전원 전압과 0°C의 온도 환경에서 시뮬레이션이 수행된 경우이며, SS corner는 CMOS 공정이 트랜지스터 캐리어의 이동도와 도핑 농도가 목표치보다 낮은 경우에 대해서 1.08V의 전원 전압과 110°C의 온도에서 시뮬레이션이 수행된 경우를 의미한다. MIPI D-PHY의 입력 신호를 위해 공통 모드 전압 200mV와 차동 모드 전압 200mV의 신호가 인가되었을 때 typical corner의 경우 채널 및 package model을 지난 MIPI D-PHY의 수신단에서의 신호는 115mV의 eye height를 가지며, 14.3ps의 타임 지터를 가진다. 제안된 MIPI D-PHY 수신기의 첫 번째 단인 연속-시간 선형 등화기의 출력의 eye height는 901mV로 증폭되었으며, 타임 지터는 8.82ps로 줄어들었다. 또한, MIPI D-PHY 수신기의 두 번째 단인 래치 기반 레벨 시프터를 통해 최종 수신 신호는 9.05ps의 타임 지터를 가지면서 1.2V의 CMOS 신호로 변환되었다. Fast corner에서는 제안된 연속 시간 선형 등화기는 입력 신호를 eye height 1.09V로 증폭하며, 타임 지터는 8.09ps로 감소한다. 또한, 두 번째 단인 래치 기반 레벨 시프터를 통해 최종 신호는 11.2ps의 타임 지터를 가지면서 1.08V의 CMOS 신호로 변환된다. 이 시뮬레이션 결과로부터, 제안된 MIPI D-PHY 수신기는 채널 손실 및 ISI를 효과적으로 보상하며, 레벨 시프터를 통해 최종적으로 CMOS 수준의 단

일 중단 신호로 안정적으로 변환하여 출력함을 확인할 수 있다.

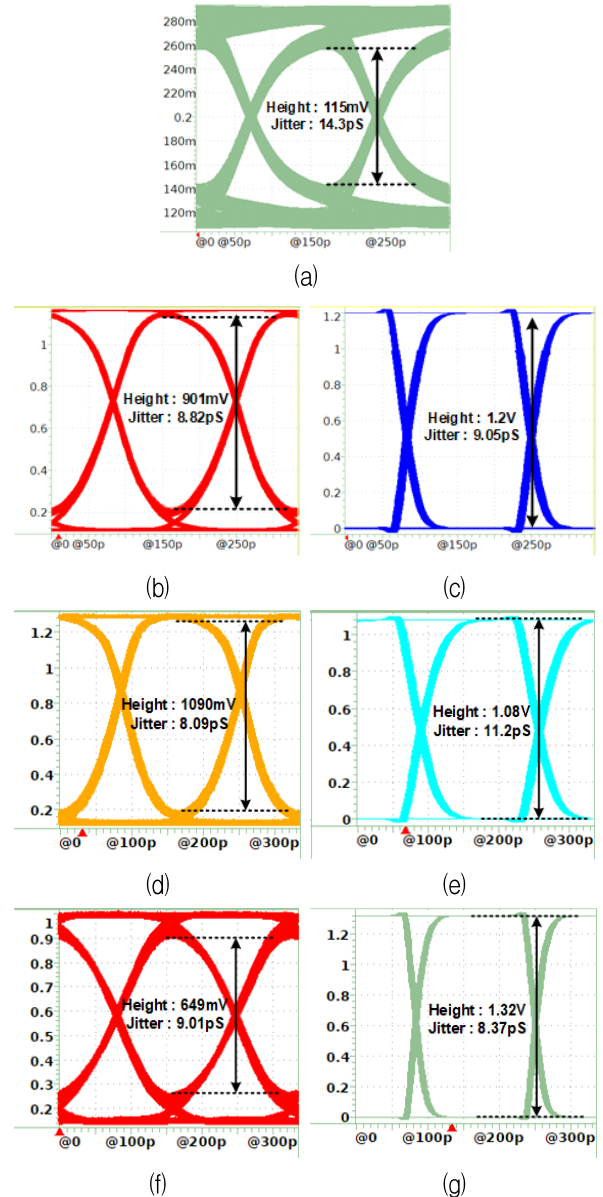


그림 10. 제안된 MIPI D-PHY 수신기의 시뮬레이션 결과
(a) 입력 신호 (b) 등화기 출력 신호 (typical corner)
(c) 레벨 시프터 출력 신호 (typical corner) (d) 등화기
출력 신호 (fast corner) (e) 레벨 시프터 출력 신호 (fast
corner) (f) 등화기 출력 신호 (slow corner)
(g) 레벨 시프터 출력 신호 (slow corner)

Fig. 10. Simulation results of proposed MIPI D-PHY receiver (a) input signal (b) equalizer output signal (typical corner) (c) level shifter output signal (typical corner) (d) equalizer output signal (fast corner) (e) level shifter output signal (fast corner) (f) equalizer output signal (slow corner) (g) level shifter output signal (slow corner)

그림 11은 설계된 MIPI D-PHY 수신기의 전력 소모를 보여준다. 총 0.984mW의 전력을 소모하며, 연속-시간 선형 등화기가 0.829mW, 레벨 시프터가 0.155mW의 전력을 소모한다.

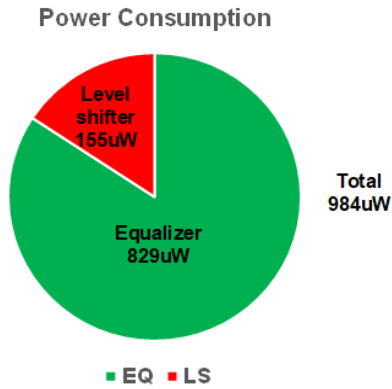


그림 11. 제안된 MIPI D-PHY 수신기의 전력 소모
Fig. 11. Power consumption of proposed MIPI D-PHY

표 1. MIPI D-PHY 수신기의 비교표
Table 1. Comparison of MIPI D-PHY receivers

	[11]	[12]	[13]	This work
Application	v2.0	v1.0	v1.2	v2.5
Supply voltage (v)	1.2	1.25	1.0	1.2
Technology (nm)	110	130	28	40
Data rate (Gbps)	5.0	1.2	2.5	6.0
Peak to peak jitter (ps)	77.5*	50.0*	43.3**	9.05**
Receiver input type	CGLS	Active inductor	CTLE	Active inductor w/ CGLS
Power efficiency (mW/Gbps)	1.49	0.92	0.4	0.164

*measured results, **simulated results

표 1은 기존의 MIPI D-PHY 수신기와 이 논문이 제안하는 수신기의 성능을 비교한 표이다. 이 수신기는 능동 인덕터와 cross-couple된 공통 게이트 레벨 시프터를 활용한 등화기를 통해 기존의 CGLS 수신기 구조 대비 반사파의 영향을 줄여 신호 보존성을 향상시켰다. 또한, pre-emphasis로 등화 동작이 가능하게 하여 단일로 능동 인덕터나 CTLE를 사용

하는 수신기 대비 추가적인 증폭기가 불필요하여 전력 효율의 향상이 가능하다. 래치 기반의 레벨 시프터는 기존의 전류 거울 구조의 레벨 시프터와 달리 cross-couple된 인버터에 의해 형성된 positive feedback으로 큰 전압 이득을 형성하여 적은 전력 소모로 CMOS 수준의 신호로 변환이 가능하게 하여 기존 수신기 대비 전력 효율을 향상시켰다. 또한, positive feedback에 의해 출력 신호의 왜곡 및 잡음의 유입 가능성을 낮춰 타임 지터 성능을 개선하였다.

IV. 결 론

본 논문에서는 MIPI D-PHY v2.5를 지원하기 위해 6-Gbps 수신기를 제안하였다. 1.2V의 공급 전압을 가지며 CMOS 40-nm 공정을 사용하여 설계된 MIPI D-PHY 수신기는 6Gbps의 데이터 전송률에서 총 0.984mW의 전력을 소모하며 0.164mW/Gbps의 전력 효율을 가진다. MIPI D-PHY 수신기의 전력 소모를 줄이기 위해 제안된 수신기는 연속-시간 선형 등화기와 레벨 시프터의 두 단으로 구성되었다. 특히, 연속-시간 선형 등화기는 PMOS 입력 트랜지스터 및 능동 인덕터 부하들을 가진 차동증폭기와 cross-coupled 공통 게이트 증폭기로 구성되어 저전력 등화를 효율적으로 수행하였다. 또한, 제안된 수신기의 구조는 공정, 전압, 그리고 온도의 변화에 대해 안정적으로 동작함을 시뮬레이션을 통해 검증하였다.

References

- [1] MIPI Alliance, "Specification for D-PHY Version 2.5", <https://www.mipi.org/specifications/d-phy>. [accessed: Mar. 6, 2025]
- [2] R. Palmer, J. Poluton, W. J. Dally, J. Eyles, A. M. Fuller, and T. Greer, "A 14mW 6.25Gb/s Transceiver in 90nm CMOS for Serial Chip-to-Chip Communications", IEEE International Solid-State Circuits Conference. Digest of Technical Papers, San Francisco, CA, USA, pp.

- 440-614, Feb. 2007. <http://doi.org/10.1109/ISSCC.2007.373483>.
- [3] J. W. Poulton, W. J. Dally, X. Chen, J. G. Eyles, T. H. Greer, and S. G. Tell, "A 0.54pJ/b 20Gb/s ground-referenced single-ended short-haul serial link in 28nm CMOS for advanced packaging applications", 2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers, San Francisco, CA, USA, pp. 404-405, Feb. 2013. <http://doi.org/10.1109/ISSCC.2013.6487789>.
- [4] K. Kaviani, A. Amirkhany, C. Huang, P. Le, C. Madden, and K. Saito, "A 0.4mW/Gb/s 16Gb/s near-ground receiver front-end with replica transconductance termination calibration", 2012 IEEE International Solid-State Circuits Conference, San Francisco, CA, USA, pp. 132-134, Feb. 2012. <http://doi.org/10.1109/ISSCC.2012.6176950>.
- [5] P.-H. Lee and Y.-C. Jang, "A 20-Gb/s Receiver Bridge Chip With Auto-Skew Calibration for MIPI D-PHY Interface", IEEE Transactions on Consumer Electronics, Vol. 65, No. 4, pp. 484-492, Nov. 2019. <http://doi.org/10.1109/TCE.2019.2942503>.
- [6] H. Lee and Y.-C. Jang, "A Low-power 6-Gbps MIPI D-PHY Receiver", IEIE SoC Conference, Daegu, Korea, pp. 78-79, May 2025.
- [7] B. Razavi, "The Active Inductor [A Circuit for All Seasons]", IEEE Solid-State Circuits Magazine, Vol. 12, No. 2, pp. 7-11, Jun. 2020. <http://doi.org/10.1109/MSSC.2020.2987500>.
- [8] S. Kim, J.-H. Park, S. Kim, and Y.-C. Jang, "A 2.56-Gsymbol/s/lane MIPI C-PHY Transmission Bridge Chip for FPGA-based Pattern Generator", Journal of Korean Institute of Information Technology, Vol. 22, No. 7, pp. 103-112, Jul. 2024. <http://doi.org/10.14801/jkiit.2024.22.7.103>.
- [9] W. Kim and M. Lee, "A 92- μ W/Gbps Self-Biased SLVS Receiver for MIPI D-PHY Applications", IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 68, No. 10, pp. 3219-3223, Oct. 2021. <http://doi.org/10.1109/TCSII.2021.3074675>.
- [10] S. Kabirpour and M. Jalali, "A Low-Power and High-Speed Voltage Level Shifter Based on a Regulated Cross-Coupled Pull-Up Network", IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 66, No. 6, pp. 909-913, Jun. 2019. <http://doi.org/10.1109/TCSII.2018.2872814>.
- [11] S. Choi, P.-H. Lee, J.-W. Han, S.-D. Kim, and Y.-C. Jang, "A MIPI Receiver Bridge Chip supporting 5-Gb/s/lane D-PHY and 3-Gsymbol/s/lane C-PHY", Journal of Semiconductor Technology and Science, Vol. 20, No. 1, pp. 29-40, Feb. 2020. <http://doi.org/10.5573/JSTS.2020.20.1.029>.
- [12] H. Hernandez, D. Carvalho, B. Sanches, L. C. Severo, and W. V. Noije, "Current mode 1.2-Gbps SLVS transceiver for readout front-end ASIC", IEEE International Symposium on Circuits and Systems, Baltimore, MD, USA, pp. 1-4, May 2017. <http://doi.org/10.1109/ISCAS.2017.8050227>.
- [13] C. Song and Y.-C. Jang, "A 10 Gb/s MIPI D-PHY Receiver with Auto-skew Calibration Circuit using Random Data", Journal of Semiconductor Technology and Science, Vol. 24, No. 6, pp. 501-510, Dec. 2024. <http://doi.org/10.5573/JSTS.2024.24.6.501>.

저자소개

이 현 화 (Heonhwa Lee)



2025년 8월 : 금오공과대학교
전자공학부(공학사)

2025년 9월 ~ 현재 :

금오공과대학교
반도체시스템공학과
(공학석사과정)

관심분야 : 메모리 인터페이스 및

모바일 인터페이스를 포함한 고속 인터페이스 회로

장 영 찬 (Young-Chan Jang)



1999년 2월 : 경북대학교

전자전기공학부(공학사)

2001년 2월 : 포항공과대학교

전자공학과(공학석사)

2005년 2월 : 포항공과대학교

전자공학과(공학박사)

2005년 3월 ~ 2009년 8월 :

삼성전자 반도체총괄 책임연구원

2009년 9월 ~ 현재 : 금오공과대학교 전자공학부 교수

관심분야 : 아날로그-디지털 변환기 및 고속

인터페이스를 위한 클럭발생기와 송수신기 포함

아날로그집적회로