

문턱 전압 보상이 가능한 4비트 LCD용 메모리 인 픽셀 회로

김상훈*¹, 정원빈*², 이승우*³, 정훈주**

Memory-in-Pixel Circuit with Threshold Voltage Compensation for 4-Bit Liquid Crystal Displays

Sang-Hoon Kim*¹, Won-Been Jeong*², Seung-Woo Lee*³, and Hoon-Ju Chung**

이 연구는 국립금오공과대학교 대학 연구과제비로 지원되었음(2022~2024)

요약

본 논문에서는 산화물 박막 트랜지스터(TFT, Thin Film Transistor) 기반의 6T1C 메모리 인 픽셀(MIP, Memory-in-Pixel) 회로를 제안한다. 제안하는 MIP 회로는 문턱 전압(V_{TH} , Threshold Voltage) 변동으로 인한 문제를 해결하기 위해 보상 회로를 도입하였으며, 이를 통해 데이터 전압 및 글로벌 신호의 전압 범위를 증가시키지 않고도 고색심도(High color depth)를 안정적으로 구현할 수 있다. 또한, 자동 극성 반전(Automatic polarity inversion) 구동을 지원함으로써 잔상 문제(Image sticking)를 방지한다. 시뮬레이션 결과, 제안하는 회로는 최대 14.3%의 낮은 오차율로 4비트(16개) 그레이 레벨을 안정적으로 구현하는 것으로 확인되었다. 이를 통해 제안하는 회로는 정적인 이미지를 저전력으로 구현하면서도 고품질 디스플레이 성능을 유지할 수 있는 유용한 솔루션을 제공한다.

Abstract

This paper proposes a 6T1C Memory-in-Pixel(MIP) circuit based on Oxide Thin Film Transistors(TFTs). The proposed MIP circuit incorporates a compensation circuit to address issues caused by threshold Voltage(V_{TH}) variations, enabling stable implementation of high color depth without increasing the voltage range of the data and global signals. Additionally, it supports automatic polarity inversion driving, effectively preventing image sticking issues. Simulation results demonstrate that the proposed circuit reliably implements 4-bit (16-level) gray levels with a low error rate of up to 14.3%. Thus, the proposed circuit offers a practical solution for maintaining high-quality display performance while achieving low-power implementation of static images.

Keywords

memory-in-pixel, MIP, threshold voltage, liquid crystal display, LCD, low power display

* 경희대학교 정보디스플레이학과
- ORCID¹: <https://orcid.org/0009-0009-0433-0561>
- ORCID²: <https://orcid.org/0000-0002-2100-3724>
- ORCID³: <https://orcid.org/0000-0002-6657-9225>
** 국립금오공과대학교 전자공학부 교수(교신저자)
- ORCID: <https://orcid.org/0000-0001-9976-6281>

• Received: Dec. 19, 2024, Revised: Jan. 07, 2025, Accepted: Jan. 10, 2025
• Corresponding Author: Hoon-Ju Chung
School of Electronic Engineering, Kumoh National Institute of Technology, Korea
Tel.: +82-54-478-7433, Email: hjchung@kumoh.ac.kr

1. 서 론

외부 정보의 70% 이상을 시각적 정보에 의존하는 인간의 특성상, 디스플레이 기기의 중요성이 점점 강조되고 있다[1]. 디스플레이는 특정 주사율로 짧은 시간 안에 여러 이미지를 빠르게 표시함으로써 영상을 구현한다. 이를 위해 그래픽 카드는 매 프레임마다 이미지를 처리(Process)하고 패널로 전달(Deliver)하는 과정을 반복한다[2]. 하지만 정적인 이미지를 표시할 때도 동일한 과정을 반복하는 것은 전력 소모 측면에서 비효율적이다. 이를 해결하기 위해, 정적인 이미지를 표시할 때 그래픽 카드의 동작을 최소화하고, 외부 프레임 메모리에 저장된 데이터를 활용해 이미지를 표시하는 패널 셀프 리프레시(PSR, Panel-Self-Refresh) 디스플레이 기술이 연구되었다[3].

모바일 디스플레이의 해상도를 향상하려는 노력이 지속됨에 따라, PSR를 위한 외부 프레임 메모리 크기도 함께 증가해야만 한다. 하지만 외부 프레임 메모리 크기가 증가하면 디스플레이 모듈의 크기가 증가해 슬림한 제품 설계가 어려워질 수 있다[4]. 이러한 문제를 해결하기 위해, LCD 화소 회로 내에 메모리를 통합하는 메모리 인 픽셀(MIP, Memory-in-Pixel) 기술이 제안되었다[5]-[7]. MIP 회로는 화소 내부에 데이터를 저장하여 외부 메모리 없어도 정적인 이미지를 저전력으로 표시할 수 있다. 또 일반적으로 자동 극성 반전(Automatic polarity inversion) 구동을 지원하여 잔상 문제(Image sticking)를 방지한다.

최근 MIP 회로는 화소 회로 내 데이터 손실을 막기 위해 누설 전류가 적은 산화물 박막 트랜지스터(TFT, Thin Film Transistor)를 기반으로 설계되고 있다[8][9]. 하지만 산화물 TFT는 공정 편차, 전기적 및 열적 스트레스로 인해 문턱 전압(V_{TH} , Threshold voltage) 변동이 발생할 수 있다[10]. 이러한 V_{TH} 변동은 TFT의 온/오프 전압을 변화시켜 원하는 그레이에 해당하는 색상을 제대로 구현하지 못하게 만들 수 있다. 따라서, V_{TH} 변동을 고려한 화소 회로 설계가 필수적이다.

기존 연구에서는 2개의 TFT와 1개의 커패시터로 구성된 3비트 깊이(Depth)의 MIP를 제안한 바 있다

[9]. 이 회로는 V_{TH} 변동 문제를 해결하기 위해 예상되는 V_{TH} 변동량을 데이터 전압에 마진으로 추가하는 방식을 사용했다. 하지만 이 방식에는 한계가 존재한다. V_{TH} 변동이 예상된 마진 범위를 초과하면 회로가 정상적으로 동작하지 않는다. 또한 마진을 더 크게 설정하면 데이터 전압 범위가 과도하게 넓어져 고색심도(High color depth)를 구현하는 데 어려움이 발생한다.

이번 연구에서는 보상 회로를 도입해 V_{TH} 변동 상황에서도 안정적으로 동작할 수 있는 새로운 MIP 회로를 제안한다. 제안된 회로는 기존 3비트 깊이보다 향상된 4비트 깊이를 지원하며, 시뮬레이션을 통해 이를 검증했다.

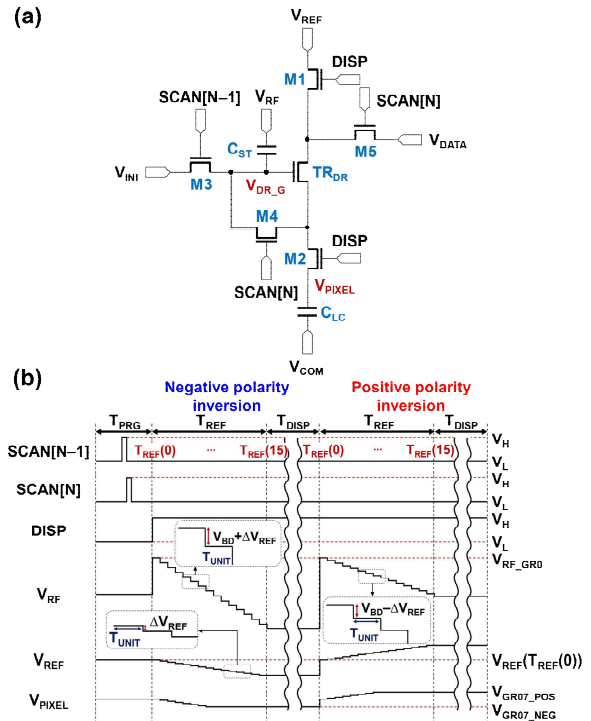


그림 1. 제안하는 MIP 회로
(a) 회로도 (b) 타이밍 다이어그램

Fig. 1. Proposed MIP circuit
(a) Schematic and (b) Timing diagrams

II. 제안하는 메모리 인 픽셀 회로

그림 1(a)는 제안하는 MIP 회로의 회로도를 보여준다. 제안하는 MIP 회로는 하나의 드라이브 TFT(TR_{DR}), 다섯 개의 스위칭 TFT(M1 - M5), 그리고 하나의 스토리지 커패시터(C_{ST})로 구성되어 있다.

그림 1(b)는 제안하는 MIP 회로의 타이밍 다이어그램을 보여준다. 신호 SCAN[N - 1]과 SCAN[N]은 프로그래밍 구간(T_{PRG}) 동안 TR_{DR} 의 게이트 전압을 초기화하고 보상 회로 동작을 가능하게 하는 제어 신호이다. DISP 신호는 M1과 M2를 끄으로써 프로그래밍 동작이 원활히 이루어지도록 하며 이후 리프레시와 디스플레이 동작을 지원한다. V_{RF} 는 C_{ST} 을 통한 커플링으로 TR_{DR} 의 게이트 전압을 변조(Modulate)하여 셀프 리프레시 동작을 가능하게 하는 글로벌 신호이다. V_{REF} 는 TR_{DR} 의 V_{GS} 에 따라 V_{PIXEL} 노드 전압을 충전하는 역할을 한다. 회로 동작은 크게 세 가지 주요 구간으로 나눌 수 있다.

2.1 프로그래밍 구간 (T_{PRG})

T_{PRG} 동안 패널 내 모든 픽셀이 순차적으로 프로그래밍된다. 먼저, SCAN[N - 1] 신호 전압이 상승하면 M3 TFT가 켜지게 되어 V_{DR_G} 노드가 충분히 높은 전압인 V_{INI} ($V_{INI} > V_{DATA} + V_{TH}$)로 초기화된다. 이후 SCAN[N] 신호가 높은 전압으로 상승하면, TR_{DR} 가 다이오드로 동작하여 V_{DR_G} 노드의 전압은 M4와 TR_{DR} 을 통해 $V_{DATA} + V_{TH}$ 로 감소하며, 이 과정을 통해 데이터 전압(V_{DATA})과 V_{TH} 에 대한 정보는 C_{ST} 에 저장된다. 이를 통해 V_{TH} 보상과 데이터 전압 프로그래밍이 동시에 이루어진다.

2.2 리프레시 구간 (T_{REF})

T_{REF} 동안 모든 화소 회로는 V_{REF} 신호에 의해 동시에 리프레시된다. V_{REF} 는 4비트 계조에 해당하는 총 16단계의 전압으로 구성되어 있다. V_{REF} 는 0 그레이 레벨에 해당하는 0 V에서 시작하여, 단위 리프레시 단계(T_{UNIT})마다 ΔV_{REF} 만큼 감소(음극성 반전, Negative polarity inversion)하거나 증가(양극성 반전, Positive polarity inversion)한다. 매 T_{UNIT} 에서 V_{REF} 전압이 V_{PIXEL} 노드로 전달되는 여부는 TR_{DR} 의 V_{GS} 전압에 의해 결정된다. T_{REF} 가 진행됨에 따라 TR_{DR} 가 꺼지기 직전 단계까지 V_{PIXEL} 노드의 전압은 V_{REF} 전압으로 충전된다.

그림 2에서 I_{ON} 은 T_{UNIT} 시간 내에 V_{PIXEL} 노드를

원하는 수준으로 충전할 수 있는 충분히 큰 전류를 의미하며, 이에 해당하는 전압은 V_{ON} 이다. 반대로, I_{OFF} 는 V_{PIXEL} 노드를 거의 충전하지 못하는 매우 작은 전류를 나타내며, 이에 해당하는 전압은 V_{OFF} 이다. V_{BD} 전압은 화소의 그레이 레벨을 결정하는 핵심 요소로 사용된다. 제안하는 회로는 화소의 그레이 레벨을 안정적으로 결정하기 위해, V_{ON} 과 V_{OFF} 의 차이에 추가 마진을 더한 값을 V_{BD} 로 설정한다. 또한, V_{MG_ON} 은 V_{TH} 를 기준으로 TFT가 I_{ON} 이상을 흐르게 하는 최소 전압이며, V_{MG_OFF} 는 V_{TH} 를 기준으로 I_{OFF} 이하의 전류를 흐르게 하는 최소 전압이다.

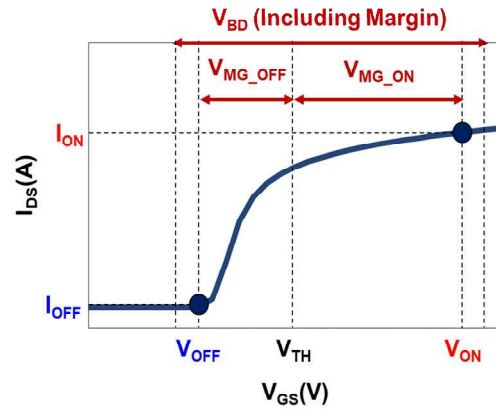


그림 2. TR_{DR} 의 온/오프 상태 정의를 위한 전달 곡선
Fig. 2. Transfer curve for defining the on/off states of TR_{DR}

TFT 열화로 인해 V_{TH} 변동이 발생하는 경우, I_{ON} 수준을 유지하려면 V_{ON} 의 조정이 필요하고, I_{OFF} 수준을 유지하려면 V_{OFF} 도 함께 변화시켜야 한다. 하지만 이러한 변화는 TR_{DR} 의 온/오프 제어를 위해 요구되는 데이터 전압 범위를 크게 증가시키는 문제가 발생한다. 반면 제안하는 회로에서는 T_{PRG} 동안 V_{TH} 보상을 통해 C_{ST} 에 이미 변동된 V_{TH} 전압이 저장된다. 따라서 TR_{DR} 의 온/오프 제어를 위해 데이터 전압 범위를 추가로 확대할 필요가 없다.

V_{DR_G} 전압은 T_{PRG} 동안 C_{ST} 에 프로그래밍된 $V_{DATA} + V_{TH}$ 전압과 T_{REF} 동안 C_{ST} 를 통해 커플링된 V_{RF} 전압의 합으로 결정된다. $T_{REF}(0)$ 시점에서 V_{DR_G} 전압은 식 (1)로 나타낼 수 있다.

$$V_{DR_G}(T_{REF}(0)) = V_{DATA} + V_{TH} + V_{RF}(T_{REF}(0)) \quad (1)$$

액정에 V_{REF} 전압이 충전전되는 때 T_{UNIT} 마다 TR_{DR} 의 V_{GS} 전압을 V_{BD} 만큼 감소시키기 위해, V_{RF} 및 V_{REF} 를 동시에 고려해야 한다. 따라서 매 T_{UNIT} 마다 V_{REF} 전압은 $\pm\Delta V_{REF}$ 만큼 변화하므로, 이에 따라 V_{RF} 전압도 $V_{BD} \pm \Delta V_{REF}$ 단위로 조정되어야 한다. 구체적으로 음극성 반전(Negative polarity inversion)의 경우, V_{RF} 는 T_{UNIT} 마다 $V_{BD} + \Delta V_{REF}$ 만큼 감소하고 양극성 반전(Positive polarity inversion)의 경우, V_{RF} 는 T_{UNIT} 마다 $V_{BD} - \Delta V_{REF}$ 만큼 감소한다.

V_{RF} 는 처음 $T_{REF}(0)$ 시점에서 V_{RF_GR0} 값으로 시작한다. V_{DATA} 는 초기 데이터 전압 V_{DATA_GR0} 에 V_{BD} 와 원하는 그레이 레벨을 곱한 값을 더하여 설정된다. 표 1은 특정 그레이 레벨에 해당하는 V_{DATA} 값과 T_{REF} 에 따라 변하는 V_{RF} 값을 보여준다. 초기 V_{RF} 전압과 0 그레이 레벨에 해당하는 V_{DATA} 전압은 $V_{DATA_GR0} + V_{RF_GR0} > V_{MG_ON}$ 및 $V_{DATA_GR0} + V_{RF_GR0} - V_{BD} < -V_{MG_OFF}$ 조건을 만족하도록 설정되며, 이를 활용하여 TR_{DR} 의 V_{GS} 가 T_{REF} 에 따라 V_{ON} 이상 및 V_{OFF} 이하 상태에 놓일 수 있도록 한다.

표 1. 비트 판별을 위한 V_{DATA} 전압과 T_{REF} 에 따른 V_{RF} 전압

Table 1. Voltage of V_{DATA} for bit discrimination and voltage of V_{RF} during T_{REF}

Gray level	V_{DATA}	T_{REF}	V_{RF}
0	V_{DATA_GR0}	(0)	V_{RF_GR0}
1	$V_{DATA_GR0}+1\times V_{BD}$	(1)	$V_{RF_GR0} + 1\times(-V_{BD}\pm\Delta V_{REF})$
2	$V_{DATA_GR0}+2\times V_{BD}$	(2)	$V_{RF_GR0} + 2\times(-V_{BD}\pm\Delta V_{REF})$
3	$V_{DATA_GR0}+3\times V_{BD}$	(3)	$V_{RF_GR0} + 3\times(-V_{BD}\pm\Delta V_{REF})$
...			
14	$V_{DATA_GR0}+14\times V_{BD}$	(14)	$V_{RF_GR0} + 14\times(-V_{BD}\pm\Delta V_{REF})$
15	$V_{DATA_GR0}+15\times V_{BD}$	(15)	$V_{RF_GR0} + 15\times(-V_{BD}\pm\Delta V_{REF})$

음극성 반전을 기준으로 $T_{REF}(0)$ 시점에서 임의의 그레이 레벨의 V_{DATA} 에 대해 TR_{DR} 의 게이트 전압과 V_{GS} 전압은 식 (2)와 (3)으로 표현된다. 이때, $V_{REF}(T_{REF}(0)) = 0 V$ 조건을 적용하면 식 (4)로 정리

할 수 있다. 따라서 $T_{REF}(0)$ 시점에서 TR_{DR} 의 $V_{GS} - V_{TH} = V_{DATA} + V_{RF_GR0} > V_{MG_ON}$ 조건을 충족하여 $V_{REF}(T_{REF}(0))$ 이 V_{PIXEL} 노드로 전달된다.

$$V_{DR_G}(T_{REF}(0)) = V_{DATA} + V_{RF_GR0} + V_{TH} \quad (2)$$

$$V_{DR_GS}(T_{REF}(0)) = V_{DATA} + V_{RF_GR0} + V_{TH} - V_{REF}(T_{REF}(0)) \quad (3)$$

$$V_{DR_GS}(T_{REF}(0)) = V_{DATA} + V_{RF_GR0} + V_{TH} - 0 V \quad (4)$$

예를 들어, 음극성 반전의 7 그레이 레벨을 표현할 경우 $T_{REF}(0)$ 시점에서 TR_{DR} 의 V_{GS} 는 식 (5)로 표현된다. 이때 $V_{DR_GS}(T_{REF}(0)) - V_{TH} = V_{DATA_GR0} + V_{RF_GR0} + 7V_{BD} > V_{MG_ON}$ 조건을 만족하므로, TR_{DR} 은 $V_{GS} > V_{ON}$ 상태에 놓인다. 시간이 지나 $T_{REF}(7)$ 시점에서는 TR_{DR} 의 V_{GS} 가 식 (6)으로 표현되며, $V_{DR_GS}(T_{REF}(7)) - V_{TH} = V_{DATA_GR0} + V_{RF_GR0} > V_{MG_ON}$ 이 성립하여 TR_{DR} 은 여전히 $V_{GS} > V_{ON}$ 상태를 유지한다. 이후 $T_{REF}(8)$ 으로 진입하면, V_{DR_G} 에 $-V_{BD} - \Delta V_{REF}$ 가 추가로 더해져 TR_{DR} 의 V_{GS} 는 식 (7)로 표현된다. 이 시점에서 $V_{DR_GS}(T_{REF}(8)) - V_{TH} = V_{DATA_GR0} + V_{RF_GR0} - V_{BD} < -V_{MG_OFF}$ 조건을 만족하게 된다. 이에 따라, TR_{DR} 은 $V_{GS} < V_{OFF}$ 상태로 전환되어 꺼지고, V_{REF} 는 더 이상 V_{PIXEL} 노드로 전달되지 않는다. 결과적으로, 원하는 그레이 레벨에 해당하는 V_{REF} 전압만이 V_{PIXEL} 노드로 전달된다.

$$V_{DR_GS}(T_{REF}(0)) = (V_{DATA_GR0} + 7V_{BD}) + V_{RF_GR0} + V_{TH} - V_{REF}(T_{REF}(0)) = (V_{DATA_GR0} + 7V_{BD}) + V_{RF_GR0} + V_{TH} - 0 V \quad (5)$$

$$V_{DR_GS}(T_{REF}(7)) = (V_{DATA_GR0} + 7V_{BD}) + (V_{RF_GR0} - 7V_{BD} - 7\Delta V_{REF}) + V_{TH} - (-7\Delta V_{REF}) = V_{DATA_GR0} + V_{RF_GR0} + V_{TH} \quad (6)$$

$$V_{DR_GS}(T_{REF}(8)) = (V_{DATA_GR0} + 7V_{BD}) + (V_{RF_GR0} - 8V_{BD} - 8\Delta V_{REF}) + V_{TH} - (-8\Delta V_{REF}) = V_{DATA_GR0} + V_{RF_GR0} - V_{BD} + V_{TH} \quad (7)$$

2.3 디스플레이 구간 (T_{DISP})

T_{DISP} 동안, 음극성 반전의 T_{REF} 에서 결정된 V_{PIXEL} 전압이 유지되며 대응하는 그레이 레벨의 빛을 표시하게 된다. T_{DISP} 가 완료된 후, 양극성 반전을 위해 T_{REF} 로 전환되며 이 과정이 반복된다.

III. 시뮬레이션 결과

제안하는 MIP 회로는 제작된 n형 비정질 인듐-갈륨-아연-산화물(IGZO, Indium-Gallium-Zinc-Oxide) TFT를 기반으로 시뮬레이션을 수행하였다. 그림 3은 제안하는 회로에 사용된 비정질 IGZO TFT의 채널 폭(Channel width) $6\ \mu\text{m}$ 와 채널 길이(Channel length) $6\ \mu\text{m}$ 조건에서 측정된 전달 곡선과 모델링된 전달 곡선을 비교하여 보여준다. 사용된 비정질 IGZO TFT는 문턱 전압(V_{TH}) $0.01\ \text{V}$, 서브스레스홀드 스윙(Subthreshold Swing, SS) $208\ \text{mV/dec}$, 이동도(Field-effect Mobility, μ) $7.97\ \text{cm}^2/\text{V}\cdot\text{s}$ 의 특성을 갖는다. 회로에 사용된 모든 소자의 W/L은 $6\ \mu\text{m}/6\ \mu\text{m}$ 로 설정하였다. SCAN 및 DISP 신호는 각각 $V_H(10\ \text{V})$ 와 $V_L(-20\ \text{V})$ 의 값을 갖는다. 또한, V_{DATA_GR0} , V_{RF_GR0} , V_{BD} , ΔV_{REF} 는 각각 $-9.55\ \text{V}$, $10\ \text{V}$, $1\ \text{V}$, $0.3\ \text{V}$ 로 설정하였고 T_{UNIT} 은 $100\ \mu\text{s}$ 로 하여 시뮬레이션을 진행하였다.

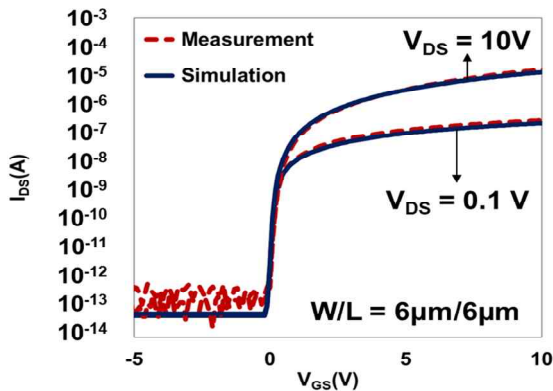


그림 3. n형 비정질 IGZO TFT의 전달 곡선
Fig. 3. Transfer curve of n-type a-IGZO TFT

그림 4는 T_{DR} 의 V_{TH} 를 초기 값과 $+4\ \text{V}$ 만큼 변동시켜 각각 7 그레이 레벨에 해당하는 데이터 전압을 인가 후, 구간별 V_{DR_G} 노드의 전압 변화를 보

여준다. T_{PRG} 에서 프로그래밍 동작이 완료된 후, C_{ST} 에 저장된 각각의 V_{TH} 전압 및 데이터 전압은 손실되지 않고, T_{REF} 및 T_{DISP} 에서도 안정적으로 유지됨을 확인할 수 있다.

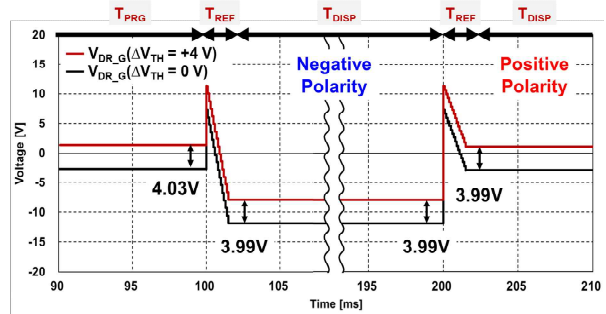


그림 4. V_{TH} 변동에 따른 T_{DR} 의 게이트 전압
Fig. 4. Gate node voltage of T_{DR} with V_{TH} variation

그림 5는 제안하는 회로가 $10\ \text{Hz}$ 주사율에서 4비트에 해당하는 그레이 레벨을 단계별로 구현한 시뮬레이션 결과를 보여준다. 각 계조는 ΔV_{REF} 에 해당하는 $0.3\ \text{V}$ 씩의 차이를 가지며, 안정적으로 계조를 표현하는 것을 확인할 수 있다.

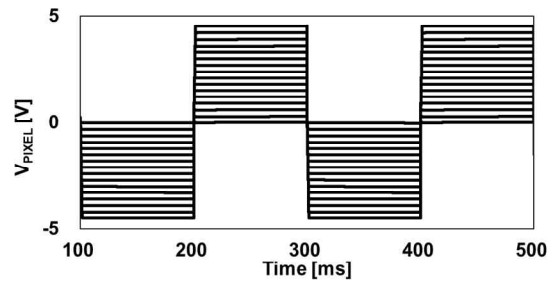


그림 5. 16개 그레이 레벨을 구현한 시뮬레이션 결과
Fig. 5. Simulation results in implementing 16 gray levels

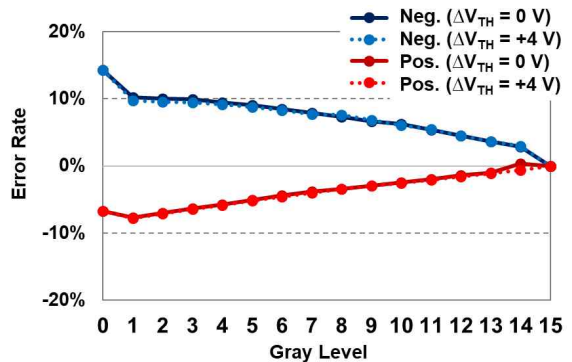


그림 6. 계조별 V_{REF} 대비 V_{PIXEL} 오차율 확인
Fig. 6. V_{PIXEL} error rate compared to V_{REF} for each gray level

그림 6은 제안하는 회로에서 TRDR의 V_{TH} 를 초기 값과 +4 V 만큼 변동시킨 후, 각 계조별 V_{PIXEL} 전압을 V_{REF} 전압과 비교하여 계산한 오차율을 나타낸다. 오차율은 식 (8)을 기반으로 계산되었다.

$$Error\ Rate = \frac{V_{REF} - V_{PIXEL}}{\Delta V_{REF}} \times 100(\%) \quad (8)$$

TR_{DR} 의 V_{GS} 가 V_{OFF} 보다 작아질 때, V_{RF} 에 의해 변조된 $V_{DR,G}$ 전압 변동은 TR_{DR} 의 기생 커패시터를 통한 커플링 효과로 인해 V_{PIXEL} 전압에 영향을 미친다. 이러한 영향은 고계조로 갈수록 커플링 횟수가 줄어들어 오차율이 감소하는 경향을 확인할 수 있다. 시뮬레이션 결과, 0 그레이 레벨에서 최대 14.3% 수준으로 오차율이 관찰되었다. 따라서, 제안하는 회로는 V_{TH} 변동에도 16개의 그레이 레벨을 성공적으로 구현함을 확인할 수 있다.

IV. 결 론

본 논문에서는 V_{TH} 보상이 가능한 산화물 TFT 기반의 6T1C MIP 회로를 제안한다. 제안하는 회로는 보상 회로를 적용하여 V_{TH} 변동에 영향을 받지 않기 때문에 데이터 전압 및 글로벌 신호의 전압 범위를 증가시키지 않으면서 고색심도를 구현할 수 있다. 또한, 자동 극성 반전 구동이 가능하여 잔상 문제를 방지할 수 있다. 시뮬레이션 결과, 제안하는 회로는 최대 14.3%의 낮은 오차율로 우수한 V_{TH} 보상 성능을 제공하며, 16개의 그레이 레벨을 안정적으로 구현할 수 있어 성공적으로 검증된 MIP 회로라 할 수 있다.

References

- [1] H. J. Chung, "A Driving Method for Channel Reduction of Source Driver IC for Current Programming AMOLED Displays", The Journal of Korean Institute of Information Technology, Vol. 11, No. 2, pp. 19-25, Feb. 2013. <http://dx.doi.org/10.14801/kiitr.2013.11.2.19>.
- [2] K. Shah, S. Kwa, and G. Hayek, "Extending Battery Life of Ultrabook™ Through use of Panel Self Refresh Technology (PSR)", SID International Symposium Digest of Technical Papers, Vol. 44, No. 1, pp. 966-968, Jun. 2013. <https://doi.org/10.1002/j.2168-0159.2013.tb06384.x>.
- [3] C. R. Wiley, "DisplayPort® 1.2, Embedded DisplayPort, and Future Trends", SID International Symposium Digest of Technical Papers, Vol. 42, No. 1, pp. 551-554, Jun. 2011. <https://doi.org/10.1889/1.3621384>.
- [4] M. Hwang, D. Choe, D. Kim, J. Park, J. Bae, W. Choe, and J. Kwag, "Cost-effective Driver IC Architecture using Low-power Memory Interface for Mobile Display Application", SID International Symposium Digest of Technical Papers, Vol. 48, No. 1, pp. 201-203, May 2017. <https://doi.org/10.1002/sdtp.11645>.
- [5] H. Kimura, T. Maeda, T. Tsunashima, T. Morita, H. Murata, S. Hirota, and H. Sato, "A 2.15 inch QCIF reflective color TFT-LCD with digital memory on glass (DMOG)", SID International Symposium Digest of Technical Papers, Vol. 32, No. 1, pp. 268-271, Jun. 2001. <https://doi.org/10.1889/1.1831847>.
- [6] K. Yamashita, K. Hashimoto, A. Iwatsu, M. Yoshiga, J. R. Ayres, M. J. Edwards, and H. Murai, "Dynamic self-refreshing memory-in-pixel circuit for low power standby mode in mobile LTPS TFT-LCD", SID International Symposium Digest of Technical Papers, Vol. 35, No. 1, pp. 1096-1099, May 2004. <https://doi.org/10.1889/1.1833129>.
- [7] S.-H. Lee, J. Kim, S. H. Yoon, K.-A. Kim, S.-M. Yoon, C. Byun, C.-S. Hwang, G. H. Kim, K.-I. Cho, and S.-W. Lee, "Pixel Architecture for Low-Power Liquid Crystal Display Comprising Oxide and Ferroelectric Memory Thin Film Transistors", IEEE Electron Device Letters, Vol. 36, No. 6, pp. 585-587, Jun. 2015. <https://doi.org/10.1109/LED.2015.2424216>.

- [8] S.-H. Lee, B.-C. Yu, H.-J. Chung, and S.-W. Lee, "Memory-in-Pixel Circuit for Low-Power Liquid Crystal Displays Comprising Oxide Thin-Film Transistors", IEEE Electron Device Letters, Vol. 38, No. 11, pp. 1551-1554, Nov. 2017. <https://doi.org/10.1109/LED.2017.2752803>.
- [9] J.-H. Jo, W.-B. Jeong, H.-J. Chung, and S.-W. Lee, "A Self-Refresh Memory-in-Pixel for Low-Power Reflective Liquid Crystal Displays", IEEE Electron Device Letters, Vol. 44, No. 1, pp. 48-51, Jan. 2023. <https://doi.org/10.1109/LED.2022.3225849>.
- [10] L.-Y. Su, H.-Y. Lin, H.-K. Lin, S.-L. Wang, L.-H. Peng, and J. Huang, "Characterizations of Amorphous IGZO Thin-Film Transistors With Low Subthreshold Swing", IEEE Electron Device Letters, Vol. 32, No. 9, pp. 1245-1247, Sep. 2011. <https://doi.org/10.1109/LED.2011.2160931>.

저자소개

김 상 훈 (Sang-Hoon Kim)



2021년 8월 : 경희대학교
정보디스플레이학과(이학사)
2021년 6월 ~ 2023년 5월 :
LG 디스플레이 사원
2024년 3월 ~ 현재 : 경희대학교
정보디스플레이학과 석사과정
관심분야 : 디스플레이 구동회로,
디스플레이 화소회로

정 원 빈 (Won-Been Jeong)



2019년 8월 : 경희대학교
정보디스플레이학과(이학사)
2021년 8월 : 경희대학교
정보디스플레이학과(공학석사)
2021년 9월 ~ 현재 : 경희대학교
정보디스플레이학과 박사과정
관심분야 : 디스플레이 구동 기술,
인지 화질, 가상 증강 현실

이 승 우 (Seung-Woo Lee)



1993년 2월 : 한국과학기술원
전기및전자공학과(공학사)
1995년 2월 : 한국과학기술원
전기및전자공학과(공학석사)
2000년 2월 : 한국과학기술원
전기및전자공학과(공학박사)
2000년 2월 ~ 2006년 6월 :

삼성전자 책임연구원

2006년 3월 ~ 현재 : 경희대학교 정보디스플레이학과
교수

관심분야 : 디스플레이 구동 시스템, 인지 과학 기반
디스플레이 시스템, 신개념 마이크로 LED 디스플레이

정 훈 주 (Hoon-Ju Chung)



1994년 2월 : 경북대학교 전자공학
과(공학사)
1997년 2월 : 한국과학기술원
전기및전자공학과(공학석사)
2002년 2월 : 한국과학기술원
전자전산학과(공학박사)
2002년 1월 ~ 2004년 8월 : LG.

Philips LCD(현, LG 디스플레이) 선임연구원

2004년 9월 ~ 현재 : 국립금오공과대학교 전자공학부
교수

관심분야 : 디스플레이 구동 기술, TFT 소자, 센서용
감지 회로