

# 국제 표준 기반 방위 산업용 신호 처리 시스템 설계

윤한의\*<sup>1</sup>, 오경수\*<sup>2</sup>, 한경민\*<sup>3</sup>, 김도현\*<sup>4</sup>, 허진영\*<sup>5</sup>, 박희윤\*<sup>6</sup>, 권보광\*<sup>7</sup>, 한준환\*<sup>8</sup>

## International Standard-based Signal Processing System Design for Defense Industry

Han Eui Yun\*<sup>1</sup>, Kyoung Soo Oh\*<sup>2</sup>, Kyung Min Han\*<sup>3</sup>, Do Hyeon Kim\*<sup>4</sup>, Jin Young Heo\*<sup>5</sup>, Hee Yun Park\*<sup>6</sup>, Bo Gwang Kwon\*<sup>7</sup>, and Joon Hwan Han\*<sup>8</sup>

### 요약

본 논문에서는 무기 체계 별 요구 사항을 충족할 수 있는 국제 표준 SOSA(Sensor Open System Architecture) 및 NGVA(NATO Generic Vehicle Architecture) 기반 신호 처리 시스템 구조를 제안한다. 제안하는 시스템 구조를 활용할 경우, 무기 체계 별 특성에 맞게 사용 가능성을 확인하였으며, 대규모 시스템으로 광범위하게 확장하여 사용할 수 있는 가능성을 확인하였다. 따라서, 제안하는 시스템을 활용할 경우 다음과 같은 이점을 가질 수 있다. 1) 개발에 요구되는 물리적인 시간 감축을 통한 비용을 절감할 수 있다. 2) 요구되는 시스템 성능에 따라 필요한 구성품 장착이 가능하다. 3) 기존에 검증된 제품을 사용함으로써 신뢰성을 확보할 수 있다. 4) 단종 또는 노후화된 구성품을 쉽게 교체 가능하다.

### Abstract

In this paper, we propose a signal processing system architecture based on international standards Sensor Open System Architecture(SOSA) and NATO Generic Vehicle Architecture(NGVA) that can meet the requirements of various weapon systems. By utilizing the proposed system architecture, it has been confirmed that it can be used according to the characteristics of each weapon system and has the potential to be extensively expanded into large-scale systems. Therefore, using the proposed system offers the following advantages: 1) It is possible to reduce costs by reducing the physical time required for development. 2) It is possible to install necessary components according to the required system performance. 3) Reliability may be secured by using existing verified products. 4) It is possible to easily replace discontinued or aged components.

### Keywords

MOSA, SOSA, VPX, NGVA, signal processing system, weapon system, global standard

\* (주)한화시스템 기반기술연구소 기반HW팀 연구원(\*<sup>1</sup> 교신저자) - ORCID<sup>7</sup>: <https://orcid.org/0009-0007-4622-9221>

- ORCID<sup>1</sup>: <https://orcid.org/0009-0004-6440-4618>

- ORCID<sup>8</sup>: <https://orcid.org/0000-0002-1469-1792>

- ORCID<sup>2</sup>: <https://orcid.org/0009-0000-8901-1168>

- ORCID<sup>3</sup>: <https://orcid.org/0009-0005-5976-8078>

· Received: Jul. 04, 2024, Revised: Jul. 30, 2024, Accepted: Aug. 02, 2024

- ORCID<sup>4</sup>: <https://orcid.org/0009-0004-6325-8153>

· Corresponding Author: Han Eui Yun

- ORCID<sup>5</sup>: <https://orcid.org/0009-0005-2163-9713>

Dept. of Core H/W Team

- ORCID<sup>6</sup>: <https://orcid.org/0009-0008-7287-255X>

Tel.: +82-31-8091-3785, Email: [heyun112@hanwha.com](mailto:heyun112@hanwha.com)

### 1. 서 론

방산 업계는 기존 활용하고 있는 장비와 유사한 장비를 개발할 경우, 매년 새롭게 제품을 개발하였다. 해당 개발 방식은 방산 제품을 신속하게 전력화 시켜야 하는 군 입장에서 비용과 시간이 많이 소요될뿐만 아니라 기능 및 성능적인 부분에서 신뢰성을 보장할 수 없다. 따라서 최근에는 개방형 아키텍처를 활용한 전자 장비를 생산함으로써, 상호 운용성, 확장성, 신뢰성을 향상시키고 있다[1]. 다양한 개방형 아키텍처 중, Open Group의 ANSI/VITA (VMEbus International Trade Association) 46 (VPX) 및 65 (OpenVPX) 기반의 SOSA(Sensor Open System Architecture) 국제 표준이 국방 분야에서 폭넓게 활용되고 있다[2]-[6].

SOSA는 C5ISR(Command, Control, Communications, Computers, Cyber, Intelligence, Surveillance and Reconnaissance) 시스템 설계 및 구현에 관한 표준이다. SOSA는 기존 VPX, OpenVPX 등의 VITA 규격을 토대로 확립되었으며, 비교적 더 단순화된 시스템 구조를 가진다. 따라서, 해당 표준을 활용할 경우에는 기존 표준 규격 대비 편리한 재구성 이점을 가지기 때문에 최종 시스템을 쉽게 구현할 수 있다는 장점이 있다. 또한, 단순화된 구조로 인해 최종 시스템에서 활용하는 구성품에 대한 단종 대책 및

비용 절감의 효과를 가질 수 있다.

SOSA 구조를 무기 체계에 적용할 경우, 다음과 같은 이점을 가질 수 있다. 1) 무기 체계의 성능 개량 시, 다양한 업체에서 제작된 VPX 표준 기반 제품들을 쉽게 교체할 수 있으므로, 성능 향상에 소요되는 물리적인 시간을 감축시킬 수 있다. 2) 요구되는 시스템 성능에 따라 필요한 구성품을 장착하여 사용할 수 있다. 3) 기존에 검증된 제품을 사용할 수 있으므로, 신뢰성을 확보할 수 있다. 4) 장기적으로 사용되는 무기 체계 특성상, 단종 또는 노후화된 구성품을 쉽게 교체하여 사용할 수 있다.

현재 사용되고 있는 무기 체계는 다양한 시스템이 복잡하게 구성되어 있다. 따라서, SOSA 표준 기반 시스템을 공급할 경우, 다양한 무기 체계에 일괄적으로 적용할 수 있으므로 연구 및 생산 비용 절감 등의 산업적 효과를 가져올 수 있다.

본 논문에서는 그림 1과 같이 다양한 무기 체계에서 공통으로 사용되는 제품을 위한 SOSA 표준 기반 공용화 모듈(시스템) 설계 방법을 제안한다. 제안하는 설계 방법을 활용할 경우, 레거시(Legacy) 제품과의 호환성을 보장할 수 있다. 또한, SBC 프로파일 기준으로 구성되었으나, 3U VPX GPU Board, 3U VPX 개발 보드로 구성하여 확장성을 높일 수 있다.

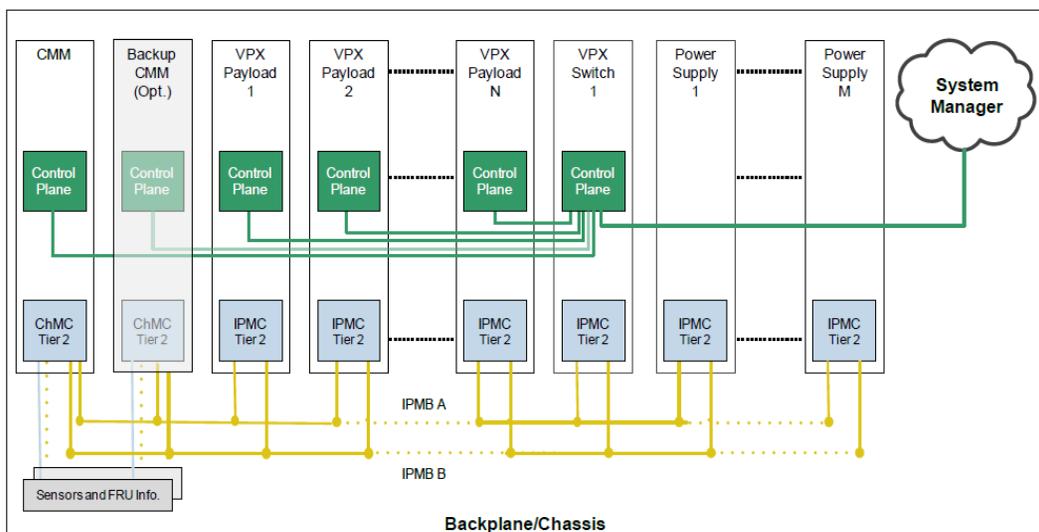


그림 1. SOSA 시스템 관리 백플레인/샤시 구현 예시

Fig. 1. Example SOSA system management backplane/chassis implementation

## II. 관련 연구

### 2.1 시스템 설계 고려 사항

SOSA 표준에 따르면 설계된 하드웨어, 펌웨어, 기구 등의 파트(Part)는 각각의 규격을 만족해야 한다. 특히, 제품의 크기에 따라 SOSA 표준 내에서도 3U VPX, 6U VPX 규격 등이 존재하며, 타겟 시스템에 적용할 규격에 따라 다양한 프로파일 기준이 존재한다.

최근, 수요 고객(정부)들은 저비용 및 고성능 제품을 무기 체계에 적용시키기 위한 경향이 있다. 해당 경향으로 인해, 향후에는 Small Form Factor (VITA74(VNX)[7] 등) 장비로 발전할 것이다. 그러나, 기존에 생산되어 보급된 제품을 고려할 경우에는 3U VPX Board가 가장 보편적으로 사용되는 규격이다.

실제 양산되고 있는 제품군을 분석할 경우 13 곳의 SOSA Aligned VPX Board 제조사에서 생산하는 3U VPX Board는 90개로 확인된다(6U VPX Board: 13개, 2023년 12월 기준). 그림 2와 같이 3U VPX 규격에서 가장 많이 사용되는 프로파일은 SLT3-14.2.16 (총 16개)와 SLT3-14.6.11 (총 16개)이다.

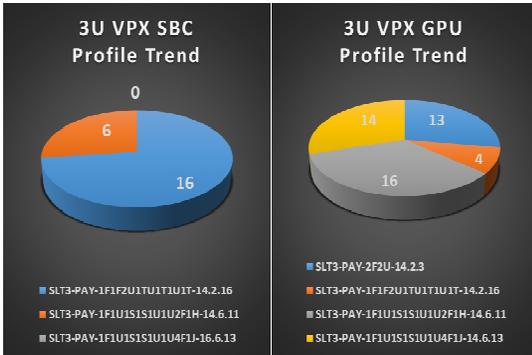


그림 2. SOSA Aligned 3U VPX 프로파일 트렌드  
Fig. 2. Trend of SOSA Aligned 3U VPX profile

SLT3-14.2.16 프로파일은 SBC(Single Board Computer) 제품 군에 적용되며, SLT3-14.6.11 프로파일은 주로 GPU 제품 군에 적용된다. 임베디드 시스템을 설계함에 있어, CPU를 포함한 SBC는 시스템 제어 및 알고리즘 연산 등의 다양한 기능을 수행할 수 있으므로 핵심적인 PBS(Product Breakdown

Structure)이다. 또한, 다양한 연산 및 알고리즘을 처리할 필요성이 증대됨에 따라 본 프로파일은 3U VPX GPU의 주요 프로파일 및 Expansion Plane PCIe Upstream 인터페이스 기반 보드와 호환 가능하다. 따라서 해당 프로파일을 기반으로 하는 Backplane을 바탕으로 본 시스템을 구성하고, 이를 각 응용 체계에 적용한다.

## III. 시스템 아키텍처 구조

### 3.1 시스템 구조

시스템을 설계함에 있어 고려되어야 할 사항을 토대로, 다양한 플랫폼들이 접목될 수 있는 시스템을 설계하기 위한 구성은 다음과 같다. 제안하는 시스템은 신호 처리 및 장비 연동 간 주로 사용되는 인터페이스(Giga Ethernet, PCIe, SATA, DisplayPort, Serial 등)들과 NGVA[8] 표준 일부(Giga Ethernet) 등이 포함된다.

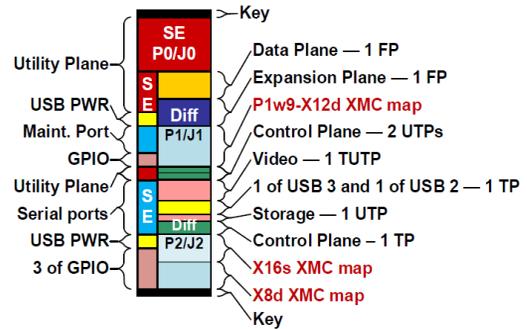


그림 3. 3U VPX 프로파일 SLT3-14.2.16  
Fig. 3. 3U VPX profile SLT3-14.2.16

### 3.2 하드웨어 구조

Backplane 설계는 그림 4와 같이 3U VPX 타입의 전원보드와 4개의 3U VPX 슬롯(SLOT)으로 구성된다. 각 슬롯은 그림 3과 같이 SLT3-14.2.16 프로파일을 따르며, Data Plane, Expansion Plane, Control Plane을 통해 고속 신호로 슬롯 간 연동이 이루어진다. VPX-P0 커넥터는 시스템 동작을 위한 전원, 시스템 초기화, GA (Geographic Address)를 위한 제어 신호 등이 할당된다.

VPX-P1 커넥터는 내부 고속 신호 연동과 User Define으로 사용되는 XMC Site 영역 일부가 할당되어 있다. 또한, VPX-P1 커넥터는 2가지 추가 목적으로 사용된다. 1) 외부로부터 수신받은 대용량 디지털 신호 처리, 2) PCIe 기반의 제어 및 상태 정보 송/수신. VPX-P2 커넥터는 User Define (XMC Site) 영역을 위한 신호와 GPIO, USB, SATA, Ethernet(1000BASE-T) 등의 인터페이스와 연동시키기 위해 요구되는 신호가 할당된다. 전원 공급 모듈은 외부 전원을 시스템으로 안전하게 공급시킬 수 있도록 ANSI/VITA 62.0[9] 규격을 준수하는 구조를 가진다. 무기 체계의 다양한 운용 목적(해양, 항공, 지상, 레이더 등)에 따라 활용될 수 있도록, 홀드업 조립체 및 상부 저장반, FAN 조립체 등이 선택적으로 추가될 수 있다.

기존 생산 및 향후 생산될 장비와의 호환 및 연동성을 고려하여, Backplane 내에서 패턴 형식으로 내/외부 포트들을 배치한다. 인터페이스의 경우, 고

정 프로파일만을 활용하면 특정 신호를 수신하지 못한다는 문제점이 있다. 따라서 User Define 영역에 구현된 펌웨어를 활용함으로써, 특정 신호를 수신하지 못하는 문제를 극복할 수 있다.

User Define 영역을 활용한 3U VPX 개발 Board의 구성은 다음과 같다. 1) 하드웨어/소프트웨어 구현을 위한 Xilinx Zynq MPSoC FPGA가 사용된다. 2) 미결정된 I/O는 고속/저속으로 분리하여 패턴 처리 후, 사용할 신호 성분에 따라 외부에서 변환 가능하도록 구성한다.

하드웨어적인 변동 사항이 적용될 필요성이 있는 변동부(연동반)를 제외한 다른 영역은 재사용이 가능하도록 설계된다. User I/O의 신호 특성에 맞게 개발되는 변동부 영역에 범용적으로 사용되는 이더넷(1000BASE-T) 인터페이스의 경우, 그림 5와 같이 NGVA 표준을 채택하였다. 이 외의 경우, MIL-DTL-38999[10] 규격 Series III를 적용한다.

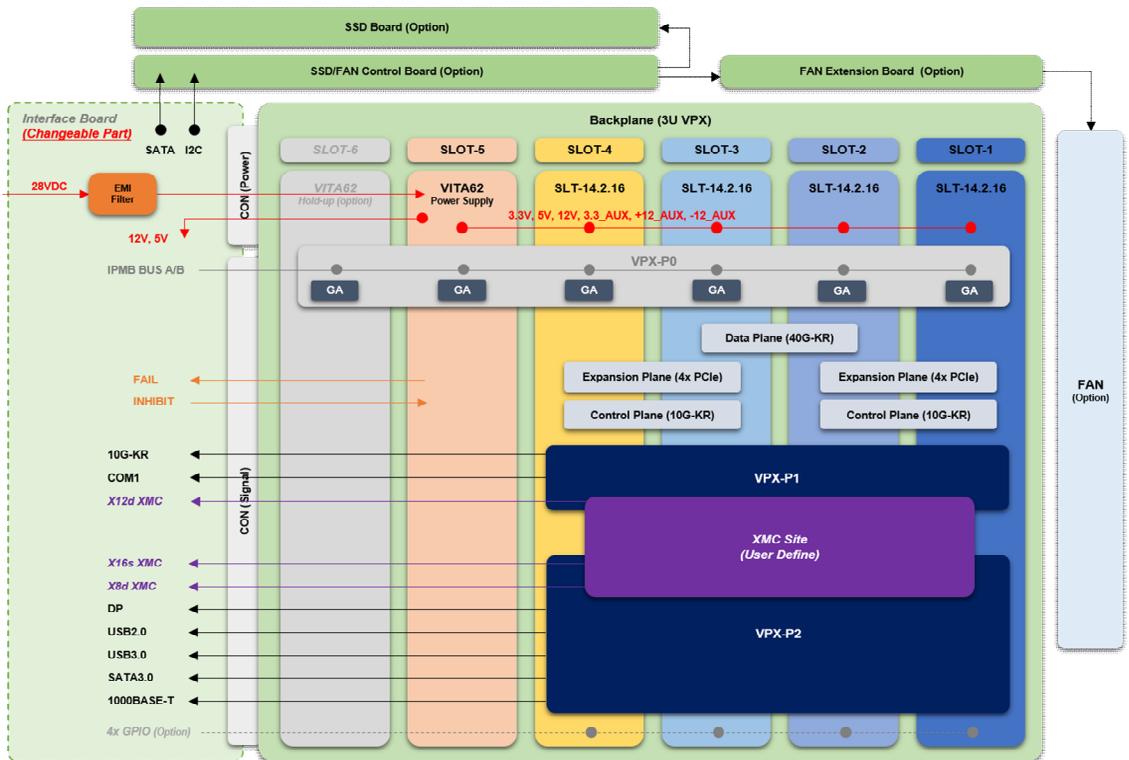


그림 4. SOSA 기반 신호 처리 장치 블록도  
 Fig. 4. Block diagram of SOSA standard-based signal processing device

Unique ID	Requirement Type	Requirement Text
<b>NGVA Interface Panels</b>		
NGVA_INF_022	CR	NGVA Interface Panels shall be equipped with Data Connectors described in Section 5.1.2.1 and Section 5.1.2.2. Single and Dual connectors are chosen as needed.

1. Shell Style – where XX depends on application;
2. Plating – α (where α is not W);
3. Shell Size - C;
4. Insert Arrangement - 13-35;
5. Contact Style – S (Socket);
6. Keyway Polarisation:
  - a. N – For the basic security domain
  - b. A – For higher security domain (subject to approval of national security authority).

D38999/XXaC35SN (or A) Contact Position ID	Ethernet Channel	Signal
1	A	BI_DD-
2	N/C	N/C
3	B	BI_DA-
4	N/C	N/C
5	A	BI_DA-
6	B	BI_DC-
7	B	BI_DC+
8	A	BI_DC+
9	A	BI_DC-
10	B	BI_DB-
11	N/C	N/C
12	A	BI_DB-
13	N/C	N/C
14	B	BI_DD-
15	A	BI_DD+
16	B	BI_DA+
17	A	BI_DA+
18	B	Isolated Screen
19	B	BI_DB+
20	A	BI_DB+
21	B	BI_DD+
22	A	Isolated Screen

그림 5. NGVA 표준 인터페이스 (1000BASE-T)  
Fig. 5. NGVA standard Interface (1000BASE-T)

### 3.2 펌웨어 구조

펌웨어는 CoaXPress[11]와 같은 신호를 송/수신하기 위해 사용되는 VPX 보드에 한하여 적용된다.

Xilinx사에서 제공하는 Vivado Tool을 활용하여 시스템 구조 상 변동부에 활용할 수 있는 디지털 회로 IP(Intellectual Property)를 설계 및 적용하였다. 디지털 회로 IP를 활용하고, Verilog 및 VHDL을 통해 Application에 따라 요구되는 신호에 가변적으로 대응하였다.

PS(Processing System) 및 PL(Programmable Logic) 영역을 모두 활용하기 위해 AXI(Advanced eXtensible Interface) 프로토콜을 활용하였다. 해당 프로토콜을 사용하는 핵심적인 이유는 다음과 같다. 1) 신호 형태에 따른 메모리 접근을 위한 DMA (Direct Memory Access) 활용에 이점이 있다. 2) Critical Path를 고려한 PS, PL 간 데이터 송/수신이 가능하다. 따라서 AXI 프로토콜 기반의 시스템 구조를 활용함으로써, 이식성 및 재활용률을 높여 제품의 안정성이 향상된다.

그림 6의 하드웨어 블록도는 3U VPX에서 고정부와 변동부로 나누어진다. 고정부인 Data Plane 영역의 10GBASE-KR은 운용/제어 역할을 수행한다. Expansion Plane 영역의 PCIe Gen3는 영상 송/수신 역할을 수행한다.

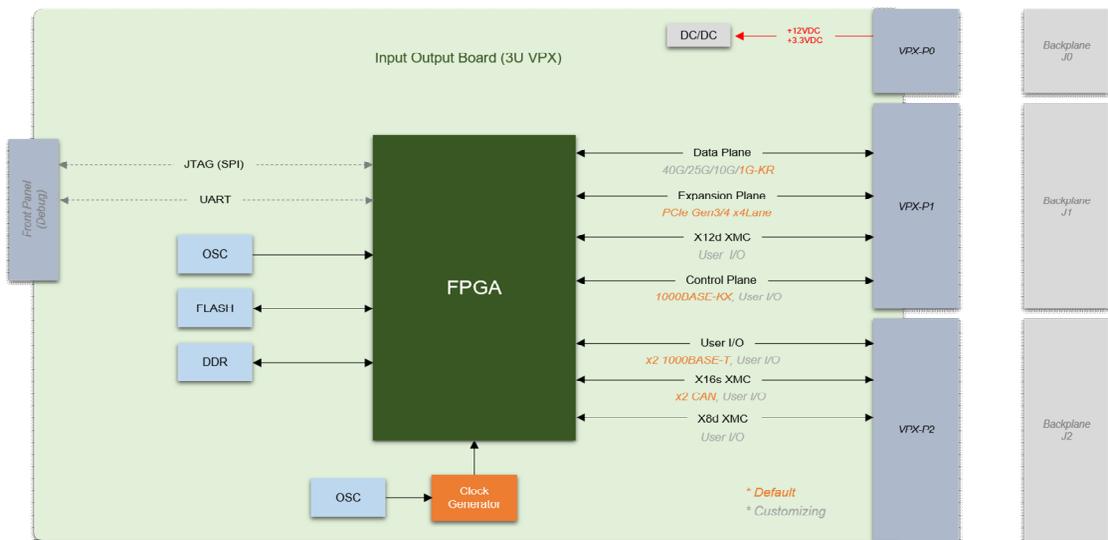


그림 6. 3U VPX 발 보드 구성도  
Fig. 6. Block diagram of 3U VPX I/O board

Control Plane 영역의 10GBASE-KR 및 User I/O는 시스템 구조를 위한 하이퍼 파라미터 세팅 역할로 할당된다. 변동부에는 각 시스템 요구 사항에 맞게 기능을 구현하였다.

### 3.3 기구 구조

기구 구조는 ANSI/VITA 48.0[12]을 준수함과 동시에 방열을 위해 Conduction Cooled 형태로 설계하였다. 연산이 증대됨에 따라 GPU 혹은 CPU에서의 발열량이 증가할 경우, FAN을 사용한 강제 대류를 활용한다. 그림 7은 하단 백플레인 조립체를 기반으로 VPX 통신을 활용할 수 있는 슬롯과 외부 인터페이스가 연결되도록 그림 4를 실제 형상으로 구현한 것이다.

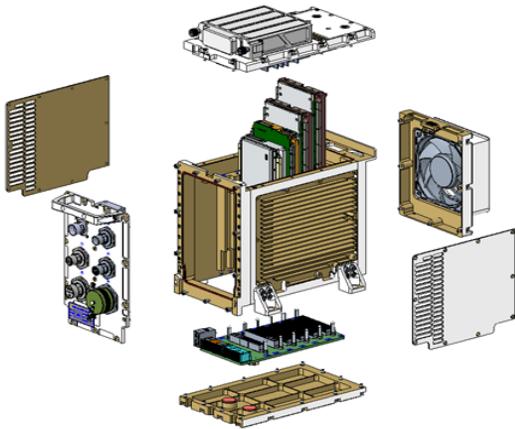


그림 7. 시스템 구조 형상 (예시)  
Fig. 7. System architecture features (Example)

## IV. 응용 설계 및 결과

시스템 아키텍처 섹션에서 제안한 구조를 활용하여 각 무기 체계 별 요구 사항을 충족할 수 있도록, F/W 변경(3U VPX 개발 보드)만을 통해 아래 인터페이스를 구현하였다.

### 4.1 CoaXPress 영상 수신부 구현

제안하는 구조에서 변동부에 Equalizer 회로를 적용한 후, 내/외부 연결은 그림 8과 같이 이루어진다.

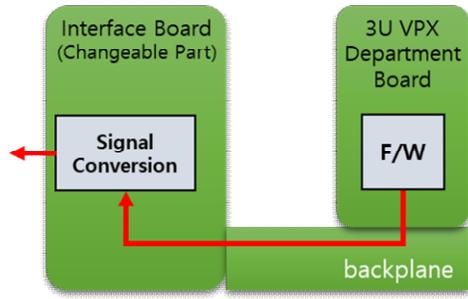


그림 8. 응용 설계 구조  
Fig. 8. Applied design structure

3U VPX 개발 보드(Development board) 단에 F/W 변경 및 신호변환부(Changeable part)에 Equalizer가 적용된다. 이 때 신호 변환부는 그림 9의 CoaXPress 표준에 따라 회로가 설계된다. 외부는 Coaxial 전용 contact과 D38999 Circular Connector를 사용하여 이루어진다. 내부는 3U VPX 개발 보드 슬롯과 연결하여 사용된다. 임피던스의 경우, 무기 체계별로 요구되는 외부 센서와 동일하게 맞추어 영상 수신에 문제가 되지 않도록 구성하였다. 외부 센서의 스펙은 다음과 같다. 1) YUV422 포맷을 가진다. 2) 해상도는 1024x768이다. 3) 속도는 60FPS이다.

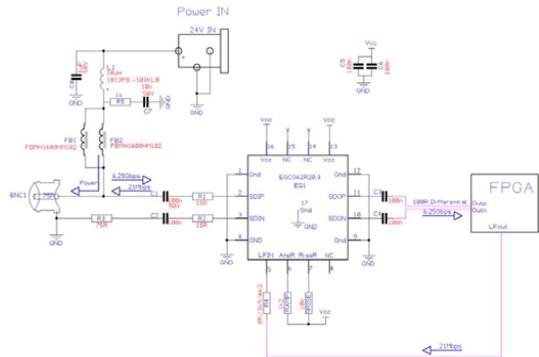


그림 9. CoaXPress Equalizer 회로 구성 (예시)  
Fig. 9. CoaXPress Equalizer circuit (Example)

Equalizer는 MICROCHIP 사의 EQCO62R20을 사용하였다. 영상 수신부는 CoaXPress 인터페이스로 레거시 센서와 연동될 수 있도록 구성하였고, JIIA (Japan Industrial Imaging Association) 표준을 토대로 F/W를 그림 10과 같이 이미지 스트리밍 패킷을 구현하였다.

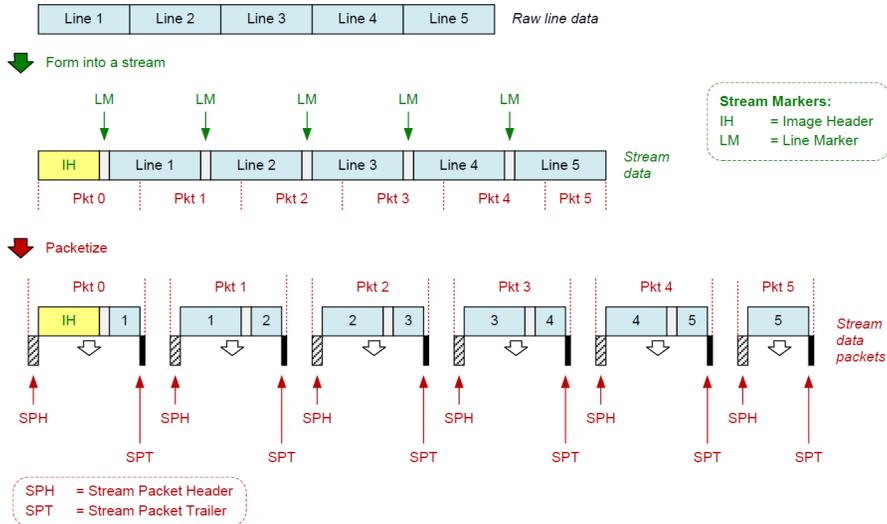


그림 10. CoaXPress 이미지 스트리밍 패킷 포맷  
 Fig. 10. Packet formation in device - image streaming



그림 11. 표준 아키텍처를 통한 영상 수신 검증  
 Fig. 11. Verification of receiving image using standard architecture

레거시 센서에 적용된 표준 인터페이스를 활용하기 위해 CXP IP Core를 FPGA 보드에 Integration 하였다. CXP IP Core를 사용할 경우, Initial 단계에서 Line rate 정보를 서로 송/수신함으로써 영상을 획득할 수 있다. 획득한 영상은 DMA Driver를 사용하여 다른 슬롯의 3U VPX SBC로 인터럽트(Interrupt) 방식으로 전달한다. 이후, 운용 목적에 맞는 영상 처리를 적용하여, 각 무기 체계 별 목적에 맞게 사용된다. 그림 11은 CoaXPress 구현을 통해 실제로 획득해낸 영상 (TV Sensor, YUV422)이다.

## 4.2 User I/O Custom 설계

3U VPX 개발 보드 내 FPGA에서 각 Sequence에 따른 제어 신호를 구현하였고, 각 모드 별 설정 값은 3U VPX SBC에서 Ethernet(1000BASE-KX)을 통해 명령 값을 전달한다.

그림 12를 통해 방위 산업에 적용될 신호 흐름도 중 일부를 예시로 확인할 수 있다. 또한, 그림 13은 해당 신호 흐름도를 실제 구현하여 오실로스코프로 실제 측정된 자료이다. 그림 14는 그림 12와 13에서 활용한 로직을 블록 구조도로 표시한 것이다.

요구 사항에 맞는 시뮬레이션 결과값을 확인하였고, 이를 토대로 무기 체계 통합 시 적용 예정이다.

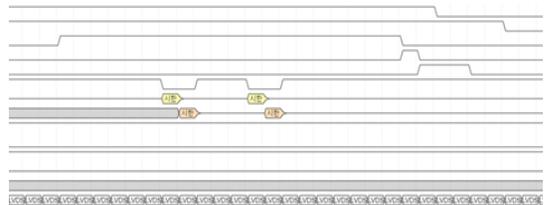


그림 12. 타이밍 다이어그램 (예시)  
 Fig. 12. Timing diagram (Example)



그림 13. 제어 신호 화면 캡처  
Fig. 13. Screenshot of control signal

### V. 결론 및 향후 과제

본 논문에서는 선행 연구를 토대로 2가지 국제 표준(SOSA, NGVA)을 적용한 시스템 설계 방법을 제안하였다[13][14]. 제안하는 설계 방법 및 구조를 토대로 시스템을 구현할 경우, 무기 체계 별로 기존 생산된 제품 및 향후 생산될 제품에 모두 적용 가능한 공용화 모듈로 적용할 수 있다.

국제 표준이 미적용된 SBC의 경우, 매번 바뀌어야 하는 구조 특성으로 인해 신규 개발 과정마다 대당 약 2천만원 이상의 재료 및 개발 비용을 요구하는 문제점 있다. 개발 기간의 경우, 신규 제품을 연구 개발 및 생산함에 있어 시스템을 구성하는 각 모듈별로 신규 검증을 위해 약 2년 이상의 소요 시간을 요구하는 단점이 있다. 또한, 지나치게 많이 요구되는 개발 및 검증 기간 중 부품이 단종될 수 있다는 치명적인 단점이 있다.

본 논문에서 보인 국제 표준 규격을 활용한 시스템을 활용할 경우, 모듈 공용화라는 관점에서 초기에 투자되는 개발 비용만 요구된다. 즉, 기존 방위 산업에서의 개발 과정과 달리 모듈 공용화를 위한 시스템을 활용하면 다양한 프로젝트에서 요구되는 개발 비용 및 시간을 대폭적으로 감소시킬 수 있다는 장점이 있다. 개발 비용 및 시간을 대폭적으로 감소시킬 수 있다는 장점은 무기 체계에 있어 다수의 제품을 신속하게 전력화 할 수 있다는 것이다.

따라서, 본 논문에서 구현된 시스템에 포함된 국제 표준 기반 SBC을 활용하면 현재 요구되는 개발 비용을 절반까지 감소시킬 수 있다. 또한, 국제 표준을 토대로 설계되었기 때문에 별도의 제품 검증 시간을 요구하지 않는다. 이는 SBC 이외에도 본 논문에서 구현된 시스템에 포함된 다른 모듈 및 펌웨어에도 동일하게 적용될 수 있다.

제안하는 시스템을 무기 체계 별로 적용할 경우, 다음과 같은 이점이 있다. 1) 개발 기간 단축을 통한 신속한 전력화 및 비용 절감, 2) 신뢰성 확보 측면 등에서 많은 장점을 가지는 것을 입증하였다는 점에서 연구의 의의를 찾을 수 있다.

그러나 제안하는 시스템의 경우, 외부 레거시 장비들과의 호환성을 고려하여 표준 전체가 도입될 수 없다는 점에서 한계가 있다. 따라서 본 논문에서 제

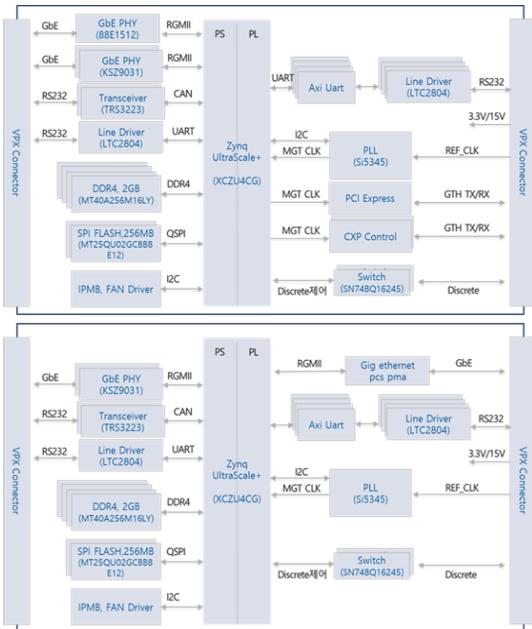


그림 14. 각 무기 체계별 FPGA 블록도  
Fig. 14. FPGA block diagram for each weapon system

안 및 구현한 시스템의 한계점을 극복하기 위한 후속 연구를 수행할 예정이다. 후속 연구를 통해 한계점을 극복할 경우, 무기 체계 도입에 신뢰성 높은 장비를 더 신속하게 획득할 수 있을 것으로 기대된다.

## References

- [1] D. Han, J. Hwang, J.-H. Bae, and J. H. Lee, "Design of Open System Architecture and Data Model for Upgrading Ground based Weapon System", Vol. 19, No. 12, pp. 151-161, Dec. 2021. <https://doi.org/10.14801/jkiit.2021.19.12.151>.
- [2] C. P. Collier, I. Lipkin, S. A. Davidson, and J. Dirner, "Sensor Open System Architecture (SOSA)", Open Architecture/Open Business Model Net-Centric Systems and Defense Transformation, Vol. 9849, May 2016. <https://doi.org/10.1117/12.2225069>.
- [3] C. P. Collier, I. Lipkin, S. A. Davidson, R. Baldwin, M. C. Orlovsky, and T. Ibrahim, "Sensor Open System Architecture (SOSA) Evolution for Collaborative Standards Development", Open Architecture/Open Business Model Net-Centric Systems and Defense Transformation, Vol. 10205, Apr. 2017. <https://doi.org/10.1117/12.2265841>.
- [4] The Open Group, "ANSI/VITA 46.0-2007 VPX Baseline Standard", VMEbus International Trade Association, pp. 19-71, Oct. 2007.
- [5] The Open Group, "ANSI/VITA 65.0-2021 OpenVPX System Standard", VMEbus International Trade Association, pp. 32-902, Oct. 2021.
- [6] Vice Admiral (ret.) Arthur K. Cebrowski, "Technical Standard for SOSA™ Reference Architecture, Edition 2.0", The Open Group, pp. 40-123, Jun. 2022.
- [7] The Open Group, "ANSI/VITA 74.0-2022 Compliant System Small Form Factor Module (VNX) Base Standard", VMEbus International Trade Association, Nov. 2022.
- [8] NATO Standard, "AEP-4754 NATO Generic Vehicle Architecture (NGVA) For Land Systems Volume III: Data Infrastructure", NATO Standardization Office(NSO), pp. 30, Feb. 2023.
- [9] The Open Group, "ANSI/VITA 62.0-2022 Modular Power Supply Standard", VMEbus International Trade Association, pp. 36-40, Aug. 2022.
- [10] MIL-DTL-38999K Specification, <http://www.everyspec.com> [accessed: Dec. 27, 2010]
- [11] CoaXPress Working Group, "CoaXPress Version 2.1", Japan Industrial Imaging Association, pp. 36-90, Jan. 2021.
- [12] The Open Group, "ANSI/VITA 48.0-2010 Mechanical Specification for Microcomputers Using Ruggedized Enhanced Design Implementation (REDI)", VMEbus International Trade Association, pp. 6-16, Jun. 2010.
- [13] K. S. Oh, "Structural Design of Multi-Purpose Signal Processing Box", Fall Annual Conference of KIMST, pp. 252-253, Nov. 2022.
- [14] H. E. Yun, H. Y. Park, and B. G. Kwon, "International SOSA Standard-based Signal Processing Architecture", Summer Annual Conference of IEIE, Jeju, Korea, pp. 1813-1815, Jun. 2024.

저자소개

윤 한 의 (Han-Eui Yun)



2016년 2월 : 한국외국어대학교  
전자공학과(공학사)  
2022년 8월 ~ 현재 :  
(주)한화시스템 기반기술연구소  
기반HW팀 선임연구원  
관심분야 : 디지털 하드웨어,  
FPGA, 사격통제장치

오 경 수 (Kyoung-Soo Oh)



2006년 2월 : 인제대학교  
전자공학과(공학사)  
2008년 2월 : 부산대학교  
전자공학과(공학석사)  
2016년 6월 ~ 현재 :  
(주)한화시스템 기반기술연구소  
기반HW팀 전문연구원

관심분야 : 디지털 하드웨어, 임베디드 시스템

한 경 민 (Kyung-Min Han)



2003년 2월 : 동아대학교  
전자공학과(공학사)  
2006년 2월 : 경북대학교  
전자공학과(공학석사)  
2002년 11월 ~ 현재 :  
(주)한화시스템 기반기술연구소  
기반HW팀 수석연구원

관심분야 : 디지털 하드웨어, FPGA, 임베디드 시스템

김 도 현 (Do-Hyeon Kim)



2018년 2월 : 부천대학교  
전자공학과(공학사)  
2022년 7월 ~ 현재 :  
(주)한화시스템 기반기술연구소  
기반HW팀 선임연구원  
관심분야 : 디지털 하드웨어,  
FPGA, 임베디드 시스템

허 진 영 (Jin-Young Heo)



2022년 2월 : 한양대학교  
융합전자공학과(공학사)  
2022년 8월 ~ 현재 :  
(주)한화시스템 기반기술연구소  
기반HW팀 연구원  
관심분야 : 디지털 하드웨어,  
임베디드 리눅스, FPGA

박 희 윤 (Hee-Yun Park)



2024년 2월 : 중앙대학교  
전자전기공학부(공학사)  
2023년 12월 ~ 현재 :  
(주)한화시스템 기반기술연구소  
기반HW팀 연구원  
관심분야 : 디지털 하드웨어,  
Linux, 임베디드 시스템

권 보 광 (Bo-Gwang Kwon)



2024년 2월 : 한양대학교  
전자공학부(공학사)  
2023년 12월 ~ 현재 :  
(주)한화시스템 기반기술연구소  
기반HW팀 연구원  
관심분야 : 디지털 하드웨어,  
FPGA, 사격통제장치

한 준 환 (Joon-Hwan Han)



2003년 : 광운대학교  
전기전자공학과(공학사)  
2020년 : 아주대학교  
NCW학과(공학석사)  
2002년 ~ 현재 :  
(주)한화시스템 기반기술연구소  
기반HW팀 수석연구원/팀장

관심분야 : 열상시스템, 전자광학, 감시추적