

서브-기가 대역 5G 기지국용 가변이득 저잡음 증폭기

김진욱*, 김창완**

A Variable-Gain Low-Noise Amplifier for Sub-GHz 5G Base-Station Receivers

Jin-Wook Kim*, Chang-Wan Kim**

이 논문은 2019년 한국연구재단의 지원을 받아 수행된 연구임(2019R1F1A1062603)

요 약

본 논문에서는 28nm CMOS 공정을 사용하여 3~4GHz 대역 5G 기지국용 수신기에 적용할 수 있는 가변이득 저잡음 증폭기 구조를 제안한다. 제안하는 가변이득 저잡음 증폭기는 2개의 RF 증폭기와 1개의 PI-형 저항 감쇄기의 조합으로 구성된다. 개별 RF 증폭기는 광대역 특성과 칩 면적을 줄이기 위하여 저항 피드백 구조를 채택하였으며, 저항 감쇄기는 8-비트 디지털 컨트롤 신호에 의해 1dB 단계로 이득 조절이 가능하다. 따라서, 제안하는 가변이득 저잡음 증폭기는 서브-기가 기지국용 5G 수신기의 전압이득, 잡음 특성, 그리고 선형특성을 동시에 개선시킬 수 있다. 모의실험 결과, -12dB에서 +13dB까지 1-dB 단계로 24dB 범위에 걸쳐 전압 이득을 정확하게 컨트롤 할 수 있으며, 최대/최소 전압 이득일 때, 각각 잡음 지수는 3.84dB/12.34dB, 선형특성 (IIP3) 은 -7.7dBm/+30.39dBm을 제공한다. 저잡음 증폭기는 1.2V 전압으로부터 최대 전압 이득에서 22.2mA를 소모한다.

Abstract

This paper proposed a 3~4GHz variable-gain low-noise amplifier for 5G base-stations, which is implemented in a 28nm CMOS technology. It consists of two RF amplifiers and one pi-type resistive attenuator. The RF amplifier is based on a resistive shunt-feedback topology to achieve a broadband characteristics and smaller chip size, and the resistive attenuator can provides a 1-dB step gain control function with 8-bit digital signal. Thus, it can improve voltage gain, noise figure, and linearity in sub-GHz 5G receivers. From the simulation results, the proposed low-noise amplifier has a gain range of -12dB to +13dB with a 1-dB step over 3~ 4GHz frequency range. In addition, it shows a noise figure of 3.84dB and IIP3 of -7.7dBm at the +12dB maximum gain, and a NF of 12.34dB and IIP3 of +30.39dBm at the -13dB minimum gain. It consumes 22.2mA from a 1.2V supply.

Keywords

5G base-stations, sub-GHz, low-noise amplifier, wideband, negative feedback, gain control

* 동아대학교 전자공학과
- ORCID ID: <https://orcid.org/0000-0003-4869-0752>
** 동아대학교 전자공학과 교수(교신저자)
- ORCID ID: <https://orcid.org/0000-0001-8762-8252>

· Received: Jul. 03, 2021, Revised: Jul. 22, 2021, Accepted: Jul. 25, 2021
· Corresponding Author: Chang-Wan Kim
Dept. of Electronics, Dong-A University, Nakdong-daero 550Beon-gil, Busan, 49315, Rep. of Korea,
Tel.: +82-51-200-7715, Email: cwkim@dau.ac.kr

1. 서 론

최근 28-GHz 대역보다 서브-기가(Sub-GHz) 주파수 대역을 활용한 5세대 이동통신망 구축이 전 세계적으로 먼저 이루어지고 있다. 그러나, 서브-기가 대역 이동통신망 구축이 빠른 기간 내에 이루어지기 위해서는 기지국용 5G 통신용 반도체가 안정되게 충분히 공급되어야 한다[1]-[4]. 그러나, 현재 일부 반도체 회사에서만 칩만 공급가능하고[3][4] 기술 보안 및 자국 우선 주의등 문제로 인해 전 세계적으로 공급이 원활하지 않은 상태이다. 현재 개발 완료된 서브-기가 대역 기지국용 수신기 칩들은 3~4GHz 대역 RF(Radio Frequency) 신호를 처리하는 멀티모드 수신기 구조로 되어 있으며, 모뎀 칩과 통합을 원칙으로 한다[3][4]. 이러한 기존의 수신기 구조들은 +20dBm 이상의 IIP3(Third-order intercept point)를 가지는 높은 선형 특성을 우선적으로 확보하기 위해, 저잡음 증폭기(Low-noise amplifier, LNA)를 채택하지 않아 잡음 지수가 12~15dB 수준에 머물고 있다[3][4].

본 논문에서는 서브-기가 대역 5G 기지국용 수신기에 적용될 수 있는 가변이득 저잡음 증폭기를 제안한다. 제안하는 가변이득 저잡음 증폭기는 두 개의 RF 증폭기와 한 개의 저항 감쇄기를 활용하여 높은 이득, 낮은 잡음지수, 높은 선형특성을 동시에 제공할 수 있어, 기존 수신기에 적용되어 선형 특성을 유지하면서 전압 이득과 잡음 지수를 동시에 향상시킬 수 있다. 본 논문은 2장에서 가변이득 저잡음 증폭기의 구조 및 설계 내용을 상세하게 서술하며, 3장에서는 설계된 회로에 대한 모의실험 결과를 제시하고, 4장에서 결론을 맺는다.

II. 가변이득 저잡음 증폭기 설계

2.1 서브-기가 대역 5G 수신기 구조

그림 1에 본 연구 그룹에서 개발 중인 서브-기가 대역 5G 기지국용 수신기는 가변이득 저잡음 증폭기와 직접변환 방식의 믹서-퍼스트(Mixer-first receiver) 수신기로 구성된다. 제안하는 가변이득 저잡음 증폭기는 두 개의 개별 RF 증폭기와 1개의

PI-형 저항 감쇄기(π -type resistive attenuator)로 구성된다.

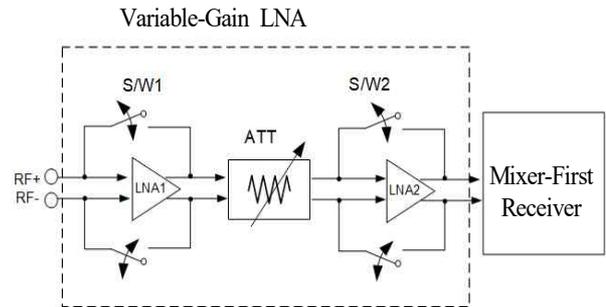


그림 1. 제안하는 서브-기가 5G 수신기 구조
Fig. 1. Proposed sub-GHz 5G receiver architecture

개발 중인 수신기는 -60dBm에서 +5dBm의 3.7GHz RF 입력 신호를 원활하게 처리하기 위해 RF 입력신호의 크기에 따라 -12dB, +18dB, 그리고 +30dB의 세 개의 이득 모드로 동작하며, 채널 대역폭은 5MHz에서 200MHz까지 가변된다. 또한, 256-QAM(Quadrature Amplitude Modulation) 모듈레이션을 원활하게 처리하기 위해 기존 수신기들 대비 [3][4], 낮은 잡음 특성과 높은 선형 특성을 동시에 확보하기 위해, +18dB 이득 모드에서 잡음지수 10dB 이하, -12dB 이득 모드에서 +25dBm 이상의 IIP3를 만족시키고, 최대 +30dB까지 이득을 제공한다. 제안하는 수신기에서 베이스밴드 회로의 채널 대역폭이 최대 200MHz이기 때문에 베이스밴드 회로에서만 +30dB 이득을 모두 확보하고자한다면 다수의 베이스밴드 회로가 추가로 설계되어야 하므로 전류 소모 및 칩 면적이 크게 증가하게 되고, 앞에서 기술한 -12dB 이득 모드에서 +25dBm의 IIP3 선형특성을 만족하지 못하게 되는 문제점이 발생된다. 따라서, 본 수신기 구조에서는 RF 블록(가변이득 저잡음 증폭기)에 전압 이득을 할당하여 기저대역 회로의 설계 부담을 완화시켜 수신기 전체의 이득, 잡음지수, 광대역 특성, 선형특성, 전력소모 등을 효율적으로 확보한다.

2.2 가변이득 저잡음 증폭기 구조

그림 2는 그림 1의 제안하는 가변이득 저잡음 증폭기에 대해 보다 상세하게 블록단위로 보여준다.

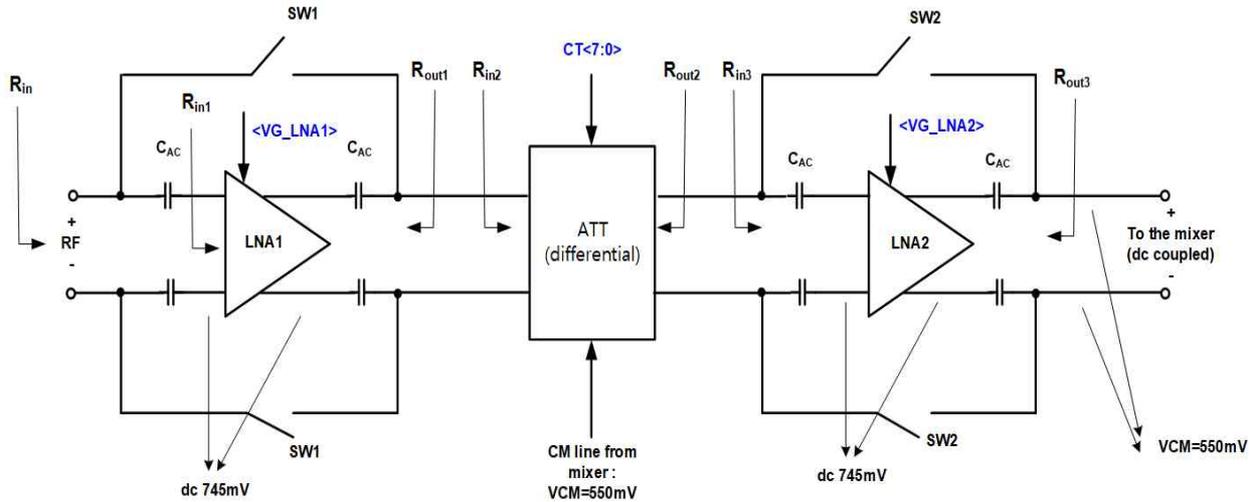


그림 2. 제안하는 가변이득 저잡음 증폭기의 블록도
Fig. 2. Proposed block diagram of variable-gain LNA

저잡음 증폭기는 차동 구조로 설계되어 있으며 소스 임피던스 100Ω에 정합되어 있고, 두 개의 RF 증폭기(LNA1,2)와 스위치(SW1,2) 그리고 저항 감쇄기에 의해 -12 ~ +13dB까지 전압 이득(파워 이득)을 제공하며, 8-비트 디지털 컨트롤 신호 CT<7:0>에 의해 1dB 단계로 이득 조절이 가능하다. VG_LNA1과 VG_LNA2 디지털 컨트롤 신호는 각각 LNA1,2를 파워-온/다운(power-on/down) 기능을 수행한다.

-60dBm 이하의 매우 작은 RF 입력 신호를 증폭할 경우 수신기는 +30dB 이득 모드로 동작하는데, 이를 위해 그림 2의 가변이득 저잡음 증폭기 내부에서 SW1,2는 모두 턴-오프 (turn-off)되고 LNA1,2는 모두 턴-온 (turn-on)된다. -60dBm 수준의 입력 신호를 처리할 때는 수신기는 +18dB 이득 모드에서 동작하는데, 그림 2에서 SW1은 턴-온, LNA1은 턴-오프, SW2는 턴-오프, LNA2는 턴-온 된다. 최대 +5dBm의 입력 신호를 처리하기 위해 수신기는 -12dB 이득 모드에서 동작하고 이때는 SW1,2는 모두 턴-온 되고, LNA1,2는 모두 턴-오프 되어, RF 입력 신호는 SW1,2와 저항 감쇄기를 통해서만 믹서쪽으로 전달된다.

그림 2에서 저항 감쇄기는 입력단에서 좌우로 각각 보이는 LNA1,2의 임피던스가 고정되어 있을 경우, 정확한 1-dB 이득 조절이 가능하기 때문에 LNA1,2 및 SW1,2의 턴-오프 동작이 이루어지더라도 LNA1,2의 출력 임피던스가 변하지 않도록 설

계 되어 있다. 또한, 각 블록 간 최대 전력 전송을 위해 각 블록 간 입출력 임피던스는 모두 100Ω에 정합되도록 설계되었다(Rout1 ≈ Rin2 ≈ Rout2 ≈ Rin3 ≈ Rout3 ≈ 100Ω). 따라서, 그림 2의 제안하는 저잡음 증폭기는 세 개의 이득 모드에서도 100Ω 소스 임피던스에 정합되고, 믹서 입력 쪽으로도 항상 출력 임피던스 100Ω을 제공하여 베이스 밴드 전압 이득 조절에 영향을 주지 않는다[3].

그림 2에서 RF 증폭기 LNA1,2는 동일 회로이며 입출력단 DC 전압은 모두 745mV이고, 믹서의 입력 DC 전압은 550mV이다. 이와 같이 블록 간 서로 다른 DC 바이어스 전압을 보장하기 위해 AC-커플링 커패시터가 LNA1,2 입출력에 사용된다. 또한, SW1,2가 모두 턴-온 되고 LNA1,2 역시 턴-오프 될 경우, 원하는 DC 전압 연결을 위해 저항 감쇄기의 공통 DC 전압 레벨을 믹서의 입력 DC 전압 (550mV)과 동일하게 연결된다.

차동 저항 감쇄기에서 550mV DC 전압 레벨은 가상 접지로 작용하여 저항 감쇄기 동작에 영향을 주지 않는다. 또한, 이와 같은 DC 블로킹 구조로 인해 트랜지스터를 사용하는 SW1,2는 소스/드레인 전압이 550mV에 연결되어 디지털 신호에 의해 게이트 전압이 0 ~ 1.2V로 변할 때 원활하게 턴-오프 동작을 할 수 있게 된다. SW1,2의 트랜지스터 크기는 고주파 대역에서 기생 저항에 의한 신호 손실과 대-신호 처리 능력을 동시에 고려하여 최적화 된다.

2.3 파이 타입 저항 감쇄기

그림 3은 PI-형 저항 감쇄기에 대한 단일 위상 신호를 처리하는 기본 구조를 보여준다[5][6]. R1와 R2(=R3) 값을 디지털 코드CT<7:0>로 조정하면 감쇄기는 정확히 1-dB 단계로 삽입 손실 값을 제공하고 입출력 임피던스는 항상 50Ω으로 변하지 않는다. 그러나, 3~4GHz 주파수 대역에서 사용을 하게 되면 원하지 않은 기생 커패시턴스 효과에 의해 주파수마다 신호 손실 값이 다르고, 입출력 임피던스의 변화로 인해 정확한 1dB 단계로 삽입 손실 조정이 어려워진다. 그림 4의 3~4GHz 대역용 제안하는 저항 감쇄기 회로는 설명을 위해 입출력 임피던스가 50Ω인 단일 위상 구조 형태만 제시하였으나, 그림 2의 실제 회로에서는 입출력 임피던스가 100Ω인 차동 구조 형태로 구현되어 있다.

그림 4에서 저항 변화가 없는 기본 저항 감쇄기 구조 <Default>에 ATT<0>~ATT<7>의 디지털 신호로 컨트롤 받는 8개 저항 감쇄기가 신호라인에 서로 병렬 형태로 연결된다.

동작 원리는, 예를 들어, CT<0>=CT<1>="1"일 때, $R2=R3=402\Omega // (760\Omega + 433\Omega) // (590\Omega + 548\Omega)$ 그리고 $R1=130\Omega$ 을 가지는 그림 3과 같은 한 개의 저항 감쇄기 동작회로로 동작된다. 이런 방식으로 그림 4의 감쇄기는 이론적으로 -10dB ~ -3dB 감쇄 범위를 가진다. 그림 4에서 디지털 컨트롤 CT<7:0>은 트랜지스터를 사용한 스위치로 구현이 되는데, 트랜지스터의 드레인-소스 저항 RON은 각 감쇄기의 직병렬 저항 값에 미리 반영된다. +5dBm의 큰 입력 신호를 처리하기 위해 스위치 트랜지스터의 사이즈는 충분히 커야하나 이로 인해 발생하는 기생 커패시턴스(Cgs 및 Cgd)는 3-4GHz대역에서 입출력 임피던스 변화시켜 1dB 이득 조정 기능을 악화시킨다. 따라서 본 연구에서는 입출력 임피던스 변화율 및 선형특성을 동시에 고려하여 8개의 감쇄기별로 스위치 트랜지스터의 사이즈를 각각 다르게 최적화 하였다.

표 1에서 보는 바와 같이, 제안하는 3-4GHz 대역에서 동작하는 디지털 컨트롤 저항 감쇄기는 모의 실험 결과, 3.7GHz 주파수에서 -3.42dB ~ -10.54dB에 걸쳐 1dB 단계로 정확하게 조정이 가능하다.

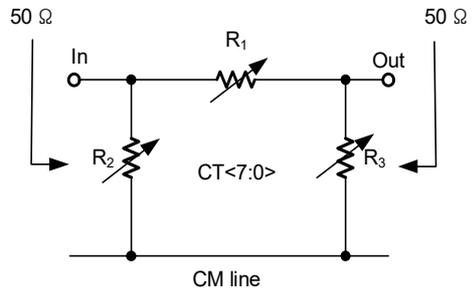


그림 3. 파이-타입 저항 감쇄기 구조(단일 위상 구조)
Fig. 3. Basic π -type resistive attenuator (Single-ended topology)

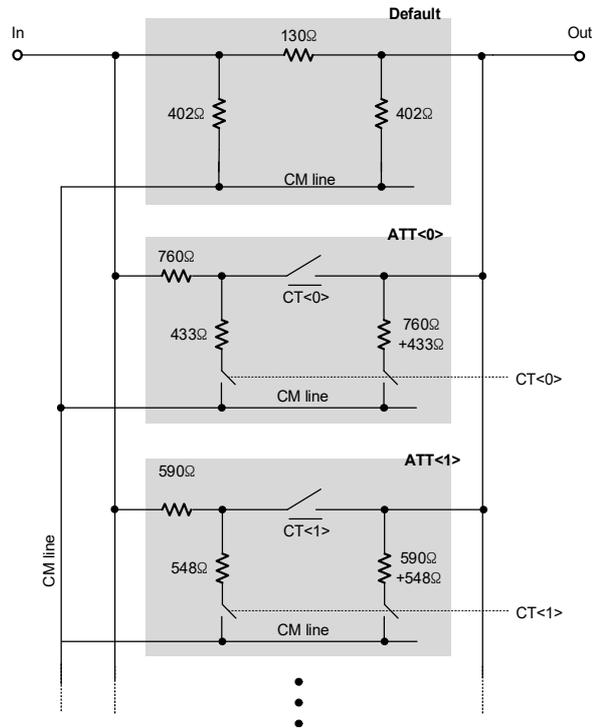


그림 4. 제안하는 디지털 가변 저항 감쇄기 (단일 위상 구조)
Fig. 4. Proposed digital variable resistive attenuator (Single-ended topology)

표 1. 저항 감쇄기의 모의실험 결과

Table 1. Simulated results of the attenuator

Digital code	Signal loss(dB) @ 3.7GHz	Signal loss difference (dB)
127	-3.42	
63	-4.43	1.00
31	-5.47	1.04
15	-6.53	1.05
7	-7.54	1.01
3	-8.54	1.00
1	-9.54	1.00
0	-10.54	0.99

2.4 개별 RF 증폭기(LNA1, LNA2)

그림 5는 그림 2에 사용된 개별 RF 증폭기 회로도(LNA1, LNA2)를 보여준다. 개별 RF 증폭기는 광대역 입력 매칭 및 광대역 주파수 특성을 동시에 얻기 위해 상보형 구조에 저항 부귀환 설계 기술이 적용된다[7][8]. DC 전류원 MS는 증폭기에 안정된 DC 전류를 공급함과 동시에 디지털 신호 VG_LNA1에 의해 증폭기를 이득 모드에 따라 파워 턴-오프 기능을 수행한다.

상보형 구조로 인해 전체 트랜스컨덕턴스 값은 Mn과 Mp의 개별 트랜스컨덕턴스 값의 합으로 구성되어 추가 전류 소모 없이 높은 전압 이득과 낮은 잡음 지수를 제공한다. 개별 RF 증폭기는 1.2V 전압에서 9.6mA DC 전류를 소모하며 3.2dB의 잡음 지수 및 14.59dB의 전압 이득을 가진다.

그림 5에서 증폭기 출력단에 p-MOS(p-type Metal-Oxide-Semiconductor) 트랜지스터로 구현된 오토-스위치(Auto_SW)가 출력단과 직렬 형태로 연결되어 두 가지 기능을 수행한다. 첫 번째 역할은 증폭기의 출력 임피던스는 100Ω 보다 작아서 오토-스위치 RON저항이 증폭기의 출력 임피던스에 추가되어 증폭기의 최종 출력 임피던스 $Z_{out}=100\Omega$ 음이 되어, 다음 단 회로와 100Ω 임피던스 정합이 이루어진다. 두 번째로는 증폭기가 VG_LNA1 디지털 신호에 의해 파워 다운이 되었을 때, 증폭기의 입출력 DC 전압은 750mV에서 VDD=1.2V까지 상승하게 되어 p-MOS 스위치는 자동으로 오프-상태가 되어, 증폭

기의 입력단으로 들어오는 RF 신호가 기생 커패시터를 통해 다음 단으로 누설되는 양을 추가로 차단시키는 역할을 한다. p-MOS 스위치의 게이트 전압은 VDD에 항상 고정되어 있고 드레인 단자는 증폭기 출력단에 직접 연결되어 있어, 증폭기가 파워-온 되었을 경우 자동적으로 턴-온 되어 증폭기 출력 임피던스 정합에 기여하게 되고, 증폭기가 파워-다운이 되었을 때는 자동적으로 턴-오프가 되어 증폭기의 누설 신호 유출을 추가로 차단하는 기능을 수행하게 된다.

2.5 MOM 커패시터 EM 분석

Electromagnetic(EM) simulation(HFSS, Ansys사) 툴을 사용하여 PDK(Product Design Kit)에서 제공하는 MOM(Metal-oxide-Metal) 커패시터 구조를 재해석 및 수정 보완 하여 본 연구에 적용 되었다. 그림 6은 본 연구에서 수정 보완한 200fF 값을 가지는 MOM커패시터의 구조를 보여주고 있다.

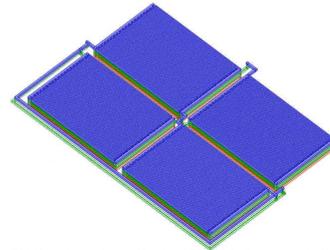


그림 6. EM 소프트웨어로 수정된 MOM 커패시터
Fig. 6. Modified MOM capacitor by an EM tool

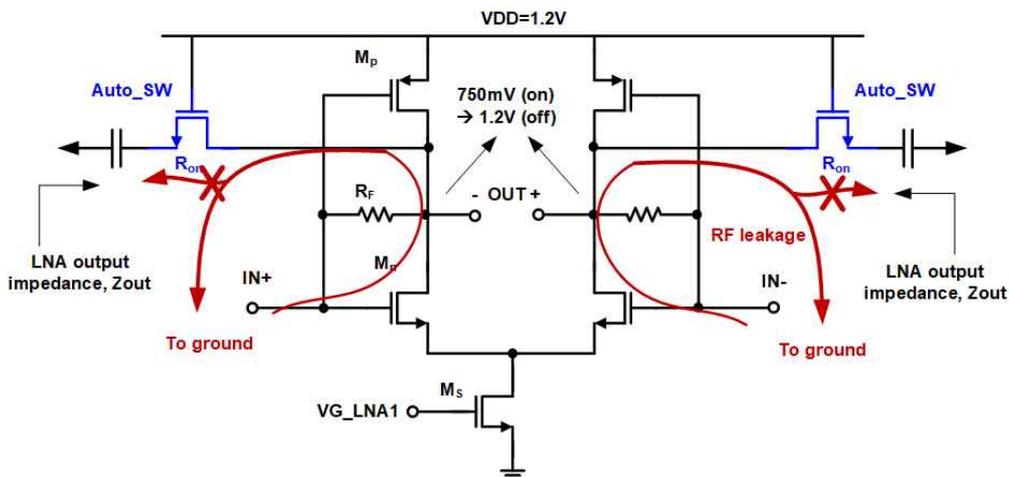


그림 5. 개별 RF 증폭기 (LNA1, LNA2) 회로도
Fig. 5. Schematic for each of RF amplifiers LNA1 and LNA2

28nm 공정인 경우 미세 공정화로 인해 65nm 공정 대비 2배 이상의 메탈 시트 저항을 가지고 있고, 낮아진 메탈 높이로 인해 기판과의 기생 성분이 큰 편이다. 이로 인해 28nm PDK에서 제공되는 MOM 커패시터는 낮은 퀄리티 팩터 (Quality factor) 값을 가지고 있어 3.7GHz에서 신호 손실이 -2.5dB 수준으로 매우 크다. 이를 개선하기 위해 본 연구에서는 커패시터 값을 4개로 분리한 후 저항이 낮은 적층형 메탈 구조를(M4-M5-M6) 사용하여 연결한다.

이렇게 하여 커패시터의 메탈 저항 값들이 1/8배 수준으로 감소하게 된다; EM 시뮬레이션을 활용하여 제안하는 MOM 커패시터 구조의 S-parameter를 추출한 후 진행한 모의실험 결과, 3.7GHz 대역에서 기생 저항 값이 17.7Ω에서 2.2Ω으로 감소하여 퀄리티 팩터 값이 12.2에서 96.5로 대폭 상승되어 신호 손실이 -2.5dB에서 -0.5dB 개선되었다.

III. 모의실험 결과 및 분석

제안하는 가변이득 저잡음 증폭기는 칩 제작을 위해 28nm CMOS(Complementary Metal Oxide Semiconductor) 공정으로 설계되었고, 그림 7에 레이아웃 사진을 제시하였다. 레이아웃 후, 기생 저항 및 커패시터 성분들을 포함한 모의실험에서 -12dB와 +13dB 이득에서 각각 +102.61 dBm, +84.95dBm의 높은 IP2(Second-order intercept point) 값을 얻어 우수한 회로의 대칭성이 확인되었다. IP2 테스트 조건은 3.7GHz와 3.701GHz의 두 개의 사인파를 사용하였고, -12dB 이득에서는 -20dBm 파워 레벨을, 그리고 +13dB 이득에서는 -60dBm 파워 레벨을 각각 사용하였다.

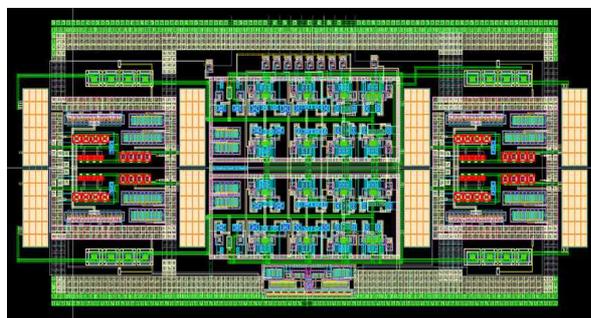
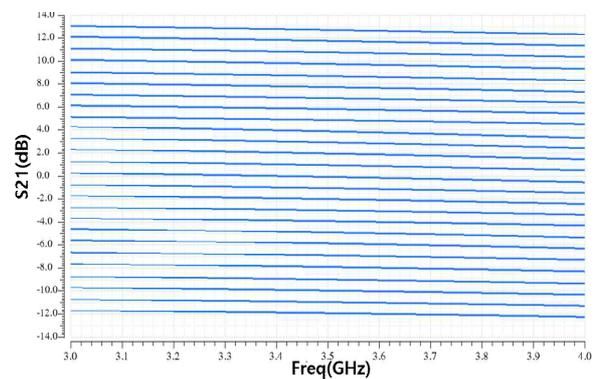


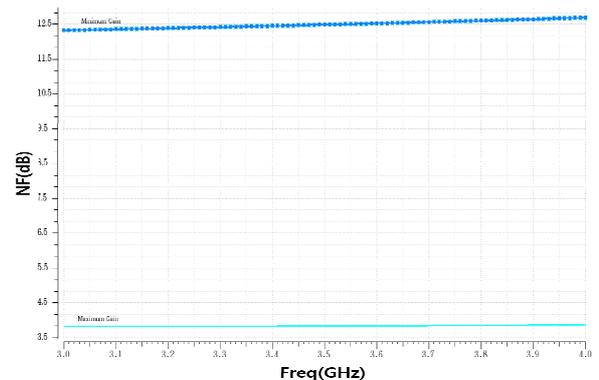
그림 7. 가변이득 저잡음 증폭기 레이아웃 (크기: 580 x 210 um)

Fig. 7. LNA layout (size: 580 x 210 um)

그림 8은 본 논문에서 제안하는 저잡음 증폭기에 대한 파워 이득(S21)과 잡음 지수에 대한 모의실험 결과를 보여주고 있다. 그림 8(a)에서 보는 바와 같이 3~4 GHz 주파수 대역에서 파워 이득이 -12dB에서 +13dB까지 디지털 신호에 의해 1-dB 간격으로 정확하게 조정된다. 그림 8(b)는 잡음 지수 모의 실험결과로 최대 이득(+13dB)과 최저 이득(-12dB)에서의 각각 3.84dB, 12.34dB의 잡음 지수를 나타낸다. 표 2에 본 논문에서 제안하는 저잡음 증폭기에 대한 모의 실험결과를 요약하였다.



(a) 파워 이득(S21)



(b) 잡음 지수(NF)

그림 8. 포스트-레이아웃 모의실험 결과

Fig. 8. Post layout simulation result (a) S21 (b) NF

표 2. 가변이득 저잡음 증폭기 모의실험 결과 요약
Table 2. Summary of simulation result of the LNA

LNA Gain	Current	S_{21}^*	NF*	P1dB**	IIP3***
@+13dB	22.2	+13	3.8	-17.3	-7.7
@-12dB	0	-12	12.3	+12	+30.39
단위	mA	dB	dB	dBm	dBm

* S21 및 NF(noise figure): S-parameter simulation

** P1dB one-tone test: f1=3.7GHz

*** IIP3 two-tone test: f2=f1+1MHz (f1=3.7GHz and f2=3.701GHz)

V. 결론 및 향후 과제

본 논문에서는 28-nm CMOS 공정을 사용하여 2개의 RF 증폭기와 1개의 저항 감쇄기를 구조적 결합을 통해, 3~4 GHz 주파수 대역에서 동작하는 가변이득 저잡음 증폭기 구조를 제안하였다. 2개의 RF 증폭기는 광대역 특성과 칩 면적 최소화를 위해 저항 피드백 구조를 채택하고, PI-형 저항 감쇄기는 8비트 디지털 신호로 1dB 단계로 이득 조절이 가능하다. 이러한 구조적 결합을 통해 전체 가변이득 저잡음 증폭기는 모의 실험결과 전압 이득 및 잡음 지수는 각각 +13dB ~ -12dB 그리고 3.84dB ~ -12.34dB을 보여준다. 또한, +13dB/-12dB 전압 이득에서 각각 -7.7dBm/+30.39dBm의 높은 IIP3 값을 가진다. 결론적으로 제안하는 가변이득 저잡음 증폭기는 서브-기가 기지국용 5G 수신단에 적용되어 수신기의 전압이득, 잡음 특성, 및 선형 특성을 개선시킨다.

References

[1] Hong-Teuk Kim, Byoung-Sun Park, Seong-Sik Song, and et.al., "A 28-GHz CMOS Direct Conversion Transceiver with packaged 2x4 antenna array for 5G cellular system", IEEE J. Solid-State Circuits, Vol. 53, No. 5, pp. 1245-1259, May 2018. <http://dx.doi.org/10.1109/JSSC.2018.2817606>.

[2] S. Sadjina, R. S. Kanumalli, A. Gebhard, and et.al., "A Mixed-signal circuit technique for cancellation of interferes modulated by LO phase-noise in 4G/5G CA transceivers", IEEE Trans. Circuits Syst., I, Reg. Papers, Vol. 65, No. 11, pp. 3745-3755, Nov. 2018. <http://dx.doi.org/10.1109/TCSI.2018.2861460>.

[3] D. J. McLaurin, K. G. Gard, R. P. Schubert, and et.al., "A highly reconfigurable 65nm CMOS RF-to-Bits Transceiver for full-band multicarrier TDD/FDD 2G/3G/4G/5G macro basestations", ISSCC Dig. Tech. Papers, IEEE, pp. 162-163, Feb. 2018.

[4] N. Klemmer, S. Akhtar, V. Srinivasan, and et.al.,

"A 45nm CMOS RF-to-Bits LTE/WCDMA FDD/TDD 2X2 mino base-station transceiver SoC with 200MHz RF bandwidth", ISSCC Dig. Tech. Papers, IEEE, pp.164-165, Feb. 2016.

[5] D. L. Kaczman, M. Shah, N. Godambe, and et.al., "A single-chip tri-band (2100, 1900, 850/800 MHz) WCDMA/HSDPA cellular transceiver", IEEE J. Solid-State Circuits, Vol. 41, No. 5, pp. 1122-1132, May 2006. <http://dx.doi.org/10.1109/JSSC.2006.872743>

[6] D. J. McLaurin, K. G. Gard, R. P. Schubert, and et.al., "A direct-conversion receiver for multi-carrier 3G/4G small-cell base stations in 65nm CMOS", IEEE RFIC, San Francisco, CA, USA, pp. 71-74, Jul. 2016. <https://doi.org/10.1109/RFIC.2016.7508253>.

[7] Thomas H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge, pp. 282-288, 2004. <http://dx.doi.org/10.1108/cw.2004.21730dae.002>.

[8] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, pp. 278-280, 2001.

저자소개

김진욱 (Jin-Wook Kim)



2019년 02월 : 동아대학교
전자공학과(공학사)
2021년 02월 : 동아대학교
전자공학과(공학석사)
관심분야 : RFIC, 저잡음 증폭기,
밀리미터-웨이브 대역 회로, EM
시뮬레이션

김창완 (Chang-Wan Kim)



2003년 02월 : KAIST 전자/전기
공학부 (공학석사)
2006년 02월 : KAIST 전자/전기
공학부 (공학박사)
2007년 03월 ~ 현재 : 동아대학교
전자공학과 교수
관심분야 : CMOS RF/Analog
회로 설계, 초고주파 대역 송수신기, EM 시뮬레이션