

저전력 24GHz 저잡음 증폭기 개발

노석호*, 류지열**

Development of a Low-Power 24GHz Low Noise Amplifier

Seok-Ho Noh*, Jee-Youl Ryu**

이 논문은 안동대학교 기본연구 지원사업에 의하여 연구되었음

요 약

본 논문은 저전력 24GHz CMOS 저잡음 증폭기를 제안한다. 이러한 회로는 65nm 고주파 CMOS 공정 ($f_T/f_{MAX}=70/90\text{GHz}$)으로 구현하였다. 저잡음 증폭기는 1.2볼트 전원에서 동작하고, 24-GHz의 동작주파수에서 동작하도록 설계되어 있다. 제안한 저잡음 증폭기는 소비전력을 줄이고, 전압이득을 증가시키기 위해 캐스코드 구조를 가지며, 잡음지수가 최소화되도록 최적화되어 있다. 이러한 회로는 5세대 이동통신 네트워크 및 차량 충돌방지 레이더 시스템에 적용 가능하다. 제안하는 회로는 기존 연구결과에 비해 4.2mW의 가장 적은 소비전력과 0.5×0.5mm²의 가장 작은 다이 면적 특성을 보였다. 또한, 이러한 회로는 기존 연구결과에 비해 약 31dB의 높은 전압이득과 2.71dB의 낮은 잡음지수 특성을 보였으나, 2.8dBm의 IIP3에 대해 선형성 개선이 필요하다.

Abstract

This paper presents low-power 24-GHz CMOS low noise amplifier(LNA). This circuit is implemented using 65-nm RF CMOS process($f_T/f_{MAX}=70/90\text{GHz}$). The low noise amplifier is powered by 1.2V supply, and it is designed to operate at the operation frequency of 24GHz. The proposed LNA has cascode scheme to decrease power consumption and to increase voltage gain, and it is optimized to minimize noise figure. This circuit is applicable to 5th generation(5G) mobile communication network and automotive collision avoidance radar system. The proposed circuit showed the lowest power consumption of 4.2mW and the smallest die area of 0.5×0.5mm². This circuit also showed high voltage gain of approximately 31dB, low noise figure of 2.71dB, but it need to improve linearity for IIP3 of 2.8dBm as compared to conventional research results.

Keywords

24-GHz, CMOS, low-power, low noise amplifier(LNA), 5G, automotive collision avoidance radar

* 안동대학교 전자공학과 교수

- ORCID: <http://orcid.org/0000-0001-5494-9076>

** 부경대학교 정보통신학과 교수(교신저자)

- ORCID: <http://orcid.org/0000-0003-2343-7056>

• Received: Jun. 5, 2020, Revised: Jun. 30, 2020, Accepted: Jul. 03, 2020

• Corresponding Author: Jee-Youl Ryu

Dept. of Information and Communications Engineering, Pukyong National University, 45 Yongso-ro, Namgu, Busan, 608-737, Korea,

Tel.: +82-51-629-6239, Email: ryujy@pknu.ac.kr

1. 서 론

최근 5세대(5G) 이동통신 네트워크 시스템이 차세대 통신 시스템으로 각광을 받고 있다. 5G 네트워크는 광대역을 구현하기 위해서 3.6GHz, 6GHz, 24~86GHz 대역 등의 밀리미터파를 사용한다. 또한, 차량의 전자화 및 지능화가 이루어지면서 지능형 자동차에 대한 연구가 진행 중이다[1]-[5]. 지능형 자동차는 충돌방지 근·장거리 레이더 및 각종 최첨단 기술을 탑재하여 운전자 없이도 사고를 미연에 방지함과 동시에 운전자의 주행 안전성과 편리성을 극대화시키고 있다. 충돌방지 근·장거리 레이더 또한 속도를 높이기 위해 24GHz를 사용한다.

이러한 경향과 더불어 소형화·집적화를 위해 CMOS 반도체 공정을 이용하여 5G 시스템의 송수신부(Transceiver) 및 차량용 레이더를 제작하기 위한 많은 연구가 진행 중이다[6]-[10]. 그러나 초고주파 CMOS는 높은 문턱전압과 낮은 항복전압을 가지는 특성으로 인해 큰 전압 스윙 및 큰 동적 범위를 갖는 저잡음 증폭기 적용에는 해결해야 할 문제점을 갖고 있다[11]-[13]. 특히 잡음이 존재할 경우 불규칙 포락선 특성을 갖는 QPSK, GMSK 등을 사용하는 시스템의 저잡음 증폭기는 높은 선형성이 요구되며, 밀리미터파를 이용하기 때문에 소비전력을 줄이기 위한 연구가 선행되어야 한다.

본 논문에서는 밀리미터파 동작에서도 소비전력이 적고 선형성이 우수한 24GHz CMOS 저잡음 증폭기를 제안하고자 한다. 캐스코드 구조로 설계를 하여 소비전력 및 잡음지수를 줄이고, 전압이득을 증가시키고자 한다. 선형성 향상을 위해 3차 비선형 트랜스컨덕턴스 계수의 위상을 조절하고, 2차 비선형 트랜스컨덕턴스 계수를 감소시키는 기법을 적용하고자 한다. 또한, 회로와 소스 임피던스 간의 정합 특성을 향상시키기 위해 유도성 캐스코드 소스 축퇴 기법을 적용하고자 한다.

II. 회로 설계 및 분석

2.1 회로 설계

그림 1은 본 논문에서 제안하는 24GHz CMOS

저잡음 증폭기를 나타낸 것이다. 이러한 증폭기는 1.2볼트의 전원전압과 24GHz의 주파수에서 동작하도록 구현되어 있다. 제안한 저잡음 증폭기는 소비전력 및 잡음을 줄이고, 전압이득을 향상시키기 위해 캐스코드 구조로 설계하였다. 3차 비선형 트랜스컨덕턴스 계수의 위상을 조절하고, 2차 비선형 트랜스컨덕턴스 계수를 감소시키는 기법을 사용하여 선형성을 향상시켰다[3]-[5]. 또한, 회로와 소스 임피던스 간의 정합 특성을 향상시키기 위해 유도성 캐스코드 소스 축퇴 기법을 적용하였다. 회로 구현에는 70GHz의 단위 전류 이득 차단주파수(f_T)와 90GHz의 최대 공진주파수(f_{MAX})를 가진 65nm 고주파 CMOS 공정을 활용하였다. 50Ω으로 입력 임피던스 정합을 위해 기생용량(Parasitic capacitance)과 L_3 로 구성된 대역 선택 필터 특성을 이용하고, 트랜지스터 M_1 이 기생용량에 의해 바이어스되도록 구성하였다. 선형성 향상을 위해 3차 비선형 트랜스컨덕턴스 계수 g_{m3} 가 게이트-드레인 및 게이트-소스 간 커패시턴스에 의해 형성되도록 하였다. 또한, 잡음지수를 줄이고 선형성을 향상시키기 위해 선형자(linearizer)로서 공통 게이트 NMOS-PMOS 인버터 구조로 설계하였다. 3차 비선형 왜곡과 소비전력을 줄이기 위해 g_{m2} 및 g_{m3} 를 최소화하였고, 인덕터 L_2 와 M_2 및 M_3 의 드레인에서 생성되는 기생용량이 광대역 네트워크를 형성하도록 설계하였다.

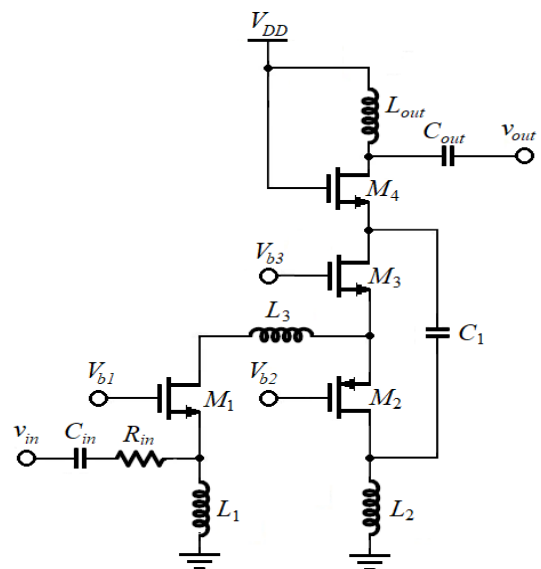


그림 1. 제안하는 저잡음 증폭기
Fig. 1. Proposed low noise amplifier

2.2 소신호 등가회로 분석

저잡음 증폭기로 입력되는 신호는 나노 볼트에서 마이크로 볼트 정도의 매우 낮은 전압값을 가지고, 동작주파수 주변에 입력 신호보다 강한 왜곡이 발생한다. 이러한 경우 저잡음 증폭기는 선형성을 유지하기 위해 큰 동적 범위를 갖도록 설계되어야 한다[3]-[5]. 따라서 24GHz대의 초고주파를 처리하는 증폭기는 수신기로부터 발생하는 블로커(Blocker) 또는 누설전류로 인한 밴드 내 상호변조(Inter-modulation), 교차변조(Cross-modulation), 간섭(Interference) 등과 같은 다양한 영향을 제거하거나 최소화할 수 있어야 한다[3]-[5].

그림 2는 제안하는 저잡음 증폭기에 대해 간략화된 고주파 소신호 등가회로를 나타낸 것이다. 이러한 소신호 등가회로로부터 식 (1)~(2)와 같이 입력 임피던스 및 출력 임피던스를 각각 구할 수 있다.

$$Z_{iLNA} = \left[\frac{1}{R_i} + \frac{1}{j\omega L_1} + g_{m1} + \frac{1}{r_{o1}} + j\omega \left(\frac{C_{gd1} C_{gs1}}{C_{gd1} + C_{gs1}} \right) \right]^{-1} \quad (1)$$

$$Z_{oLNA} = \left[\frac{1}{r_{o4}} + \frac{1}{j\omega C_{gd4} + 1/j\omega L_{out}} + \frac{1}{j\omega C_{gs4}} \right]^{-1} \quad (2)$$

또한, 그림 2로부터 식 (3)~(5)와 같이 각 단의 전압이득을 구할 수 있다.

$$A_{v1} = g_{m1}(j\omega L_3 // r_{o2} // r_{o1}) \quad (3)$$

$$A_{v3} = g_{m3}(1/g_{m4} // r_{o3} // r_{o4}) \quad (4)$$

$$A_{v4} = g_{m4}(j\omega L_{out} // r_{o4}) \quad (5)$$

만약 $r_{o1} = r_{o2} = r_{o3} = r_{o4} = r_o$ 및 $r_o \rightarrow \infty$ 로 가정할 경우 식 (6)의 전압이득을 구할 수 있다.

$$A_v = A_{v1} A_{v3} A_{v4} \approx (j\omega)^2 g_{m1} g_{m3} L_3 L_{out} \quad (6)$$

또한 $IP3$ 는 식 (7)과 같이 표현이 가능하다.

$$A_{IP3} = \sqrt{\frac{3g_{m1}}{4g_{m3}}} \quad (7)$$

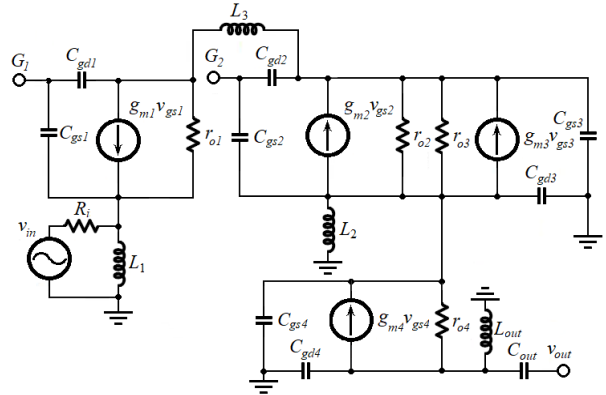


그림 2. 저잡음 증폭기의 고주파 소신호 등가회로
Fig. 2. High-frequency small-signal equivalent circuit of LNA

그림 3은 24GHz CMOS 저잡음 증폭기에 대한 레이아웃 결과를 나타낸 것이다. 레이아웃은 Cadence사의 Virtuoso 툴을 이용하여 수행하였다. Mentor 프로그램을 이용하여 설계에 대한 오류가 없는지를 DRC(Design Rule Check)를 통해 검증하였고, 레이아웃과 설계한 회로 간의 오류가 없는지를 LVS(Layout Versus Schematic)를 통해 검증하였다. 이러한 회로는 65-nm 고주파 CMOS 공정($f_T/f_{MAX}=70/90GHz$)으로 제작하였다. 전체 다이(Die) 면적은 대략 $0.5 \times 0.5mm^2$ 였고, 코어 셀 면적은 $0.3 \times 0.3mm^2$ 으로 보고된 연구결과[1], [8]-[10]에 비해 가장 우수한 특성을 보였다.

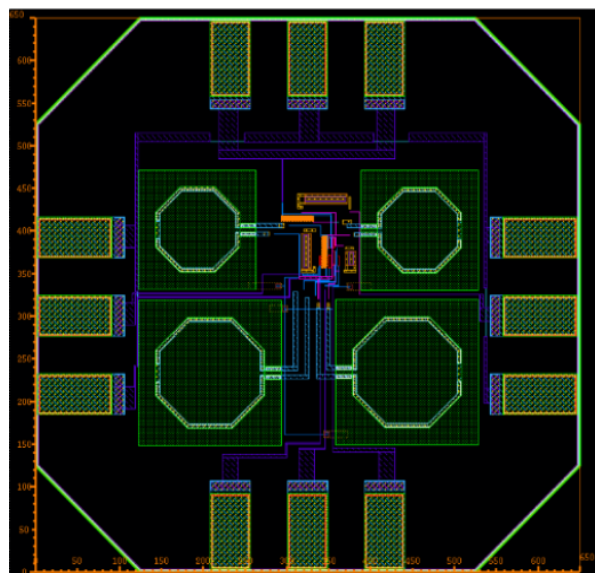


그림 3. 저잡음 증폭기에 대한 레이아웃
Fig. 3. Layout for LNA

III. 결과 및 분석

본 연구에서는 LNA 회로에 전원전압 1.2V와 0.2~1.2V의 입력 바이어스 전압을 각각 공급하였다. 개발한 LNA 회로에 대해 그림 2와 같은 고주파 소신호 등가회로를 바탕으로 회로 모델링을 수행하였고, ADS (Advanced Design System) 툴을 사용하여 시뮬레이션 결과를 확인하였다. 또한, Cadence 툴을 사용하여 포스트 레이아웃 시뮬레이션 결과로 성능을 증명하였다.

그림 4는 주파수에 따른 입력 임피던스 정합 특성을 나타낸 것이다. 50Ω 시스템에서 우수한 입력 임피던스 정합의 경우 임피던스는 동작주파수에서 50±5Ω을 가져야 한다. 본 논문에서 제안하는 증폭기는 캐스코드 구조를 가지기 때문에 45~50Ω의 입력임피던스는 값을 가지는 것이 바람직하다. 그림 4에서도 알 수 있듯이 24GHz의 동작주파수에서 약 50Ω의 임피던스특성을 보였고, 모델링 결과와 비교해 볼 때 2% 이하의 낮은 오차 특성을 보였다.

그림 5는 저잡음 증폭기에 대한 전압이득을 나타낸 것이다. 동작주파수에서 전압이득을 향상시키기 위해 캐스코드 토폴로지로 설계하였고, 식 (6)에서와 같이 g_{m1} , g_{m3} , L_3 및 L_{out} 값을 조절하여 목표 사양의 이득을 달성하였다. 그림 5에서 알 수 있듯이 24GHz에서 31.2dB의 높은 전압이득 특성을 보였다.

그림 6은 주파수에 따른 저잡음 증폭기의 잡음지수(noise figure, NF) 특성을 나타낸 것이다. 그림 6에서도 알 수 있듯이 측정 결과는 동작주파수에서 2.71dB의 우수한 잡음 특성을 보였고, 모델링에 의한 결과와 비교해 볼 때 24GHz에서 모델링 결과와 비교해 볼 때 2% 이하의 낮은 오차 특성을 보였다.

그림 7은 입력전력(RF_{in})을 -5dBm~4dBm으로 변화시켰을 때 출력전력(RF_{out}) 특성을 dBm으로 표현한 것이다. 그림 7로부터 저잡음 증폭기의 선형성을 나타내는 중요한 성능 변수로서 3차 입력 교차점(3rd order input intercept point, IIP3)에 따른 출력 교차점(OIP3) 특성을 확인할 수 있다. 200MHz 간격으로 24GHz의 동작주파수에서 두 톤 성능을 평가하였다. 그림 7에서도 알 수 있듯이 24GHz의 동작주파수에서 2.8dBm의 IIP3와 27dBm의 OIP3 특성을 보였다.

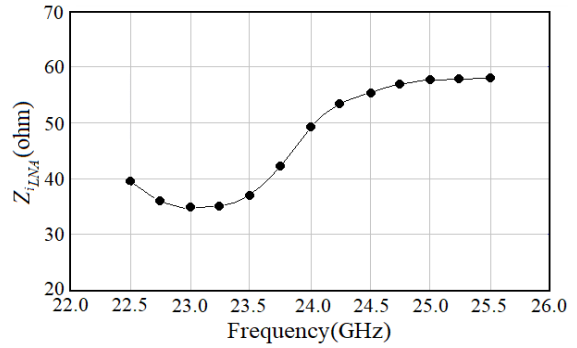


그림 4. 입력 임피던스
Fig. 4. Input impedance

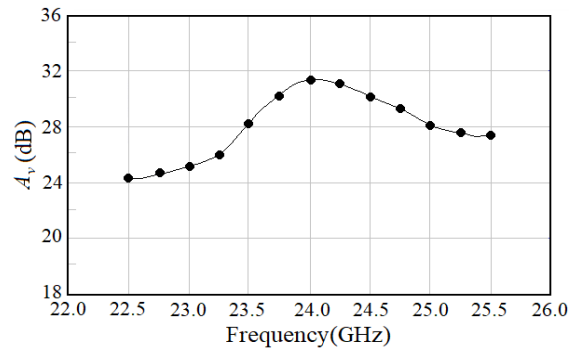


그림 5. 전압이득
Fig. 5. Voltage gain

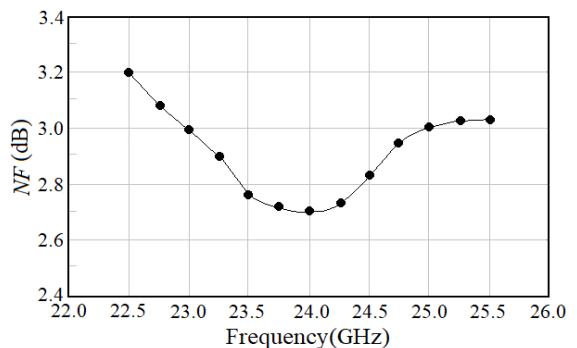


그림 6. 잡음지수
Fig. 6. Noise figure

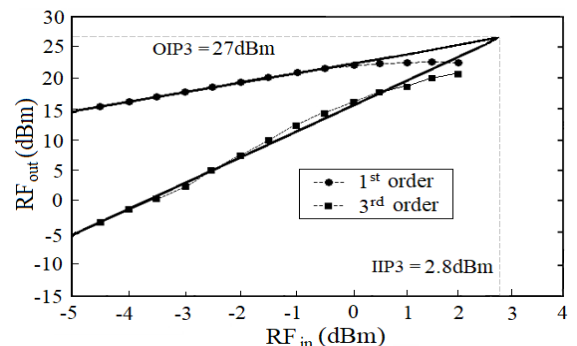


그림 7. IIP3와 OIP3 특성
Fig. 7. Properties for IIP3 and OIP3

표 1은 최근 발표된 연구결과와 본 연구결과를 비교한 것이다. 선형성을 향상시키기 위해 M_1 은 강한 반전 영역에서, M_3 은 활성영역에 바이어스 되도록 각각 설계하였다. 본 논문에서는 소비전력, 전압이득, 잡음지수, IIP3 등을 향상시키기 위해 3차 비선형 트랜스컨덕턴스 계수 위상 조절 및 2차 비선형 트랜스컨덕턴스 계수 감소 기법과 유도성 캐스코드 소스 축퇴 기법 등을 적용하였다. 본 논문에서 제안하는 저잡음 증폭기는 1.2V의 전원전압에서 3.5mA의 직류 전류로 구동되어 4.2mW의 소비전력을 보였고, 기존 연구결과에 비해 가장 적은 소비전력 특성을 보였다. 또한, 본 연구 결과는 전압이득, 잡음지수, IIP3 및 다이 면적 특성에 대해 기존 연구 결과보다 우수한 특성을 보였다[1][8]-[10].

표 1. 최근 발표된 결과와 비교 요약

Table 1. Comparison summary with recently published results

Performance	[1]	[8]	[9]	[10]	This work
Technology (μm)	0.065 (CMOS)	0.13 (CMOS)	0.18 (CMOS)	0.17 (BiCMOS)	0.065 (CMOS)
Frequency (GHz)	24	24	24	24	24
Supply voltage(V)	1.2	1.2	-	1.2	1.2
Bandwidth (MHz)	80	600	-	-	80
Voltage gain(dB)	24.3	-	18.19	22.5	31.2
Power consumption (mW)	4.59	15	11.3	42	4.2
IIP3(dBm)	3.2	-	-16.5	-15.5	2.8
Noise figure (dB)	2.98	3.8	5.8	3.2	2.71
S_{11}/S_{22} (dB)	-32.8/ -32.7	-9.5	-25	-12/ -13	-31.2/ -30.8
Die area (mm^2)	0.6×0.6	1.7×1.2	0.94×0.5	2.29×0.97	0.5×0.5

IV. 결 론

본 논문에서는 5G 이동통신 시스템 및 차량충돌 방지 레이더를 위한 저전력 24GHz CMOS 저잡음 증폭기를 제안하였다. 이러한 회로는 65nm 고주파 CMOS 공정($f_T/f_{MAX}=70/90\text{GHz}$)으로 구현하였고,

1.2볼트와 24GHz의 주파수에서 동작하였다. 제안한 저잡음 증폭기는 소비전력을 줄이고, 전압이득을 증가시키기 위해 캐스코드 구조로 설계하였으며, 잡음 지수가 최소화되도록 최적화하였다. 본 논문에서 제안하는 회로는 기존 연구결과에 비해 4.2mW의 가장 적은 소비전력과 $0.5\times 0.5\text{mm}^2$ 의 가장 작은 다이 면적 특성을 보였다. 저잡음 증폭기는 또한 31.2dB의 높은 전압이득과 2.71dB의 낮은 잡음지수 특성을 보였다. IIP3는 2.8dBm의 결과를 보였는데, 향후 선형성 개선을 위한 추가 연구가 필요하리라 판단된다.

References

- [1] M. Kurbanov and J. Y. Ryu, "Development of Low-Power Low-Noise CMOS LNA for 24-GHz Automotive Radar", *Journal of Semiconductor Technology and Science*, Vol. 20, No. 2, pp. 187-194, Apr. 2020.
- [2] A. Siddique and J. Y. Ryu, "A 24 GHz frequency synthesizer for automotive collision avoidance radar", *International Journal of Electronics Letters*, Vol. 8, No. 1, pp. 1-16, Feb. 2020.
- [3] S. H. Noh and J. Y. Ryu, "Study for Linearity Improvement of GHz-Band Low Noise Amplifier", *Journal of Korean Institute of Information Technology*, Vol. 17, No. 9, pp. 41-47, Sep. 2019.
- [4] S. H. Noh and J. Y. Ryu, "Linearity Enhancement Technique for GHz-Band LNA", *International Journal of Applied Engineering Research*, Vol. 12, No. 19, pp. 9116-9119, Oct. 2017.
- [5] H. Rastegar and J. Y. Ryu, "An Integrated High Linearity CMOS Receiver Frontend for 24-GHz Applications", *Journal of Semiconductor Technology and Science*, Vol. 16, No. 5, pp. 595-604, Oct. 2016.
- [6] S. H. Noh and J. Y. Ryu, "Design of 24GHz Low Noise Amplifier for Short Range Radar of

Automotive Collision Avoidance", Journal of Korean Institute of Information Technology, Vol. 11, No. 10, pp. 23-28, Oct. 2013.

[7] S. W. Kim and J. Y. Ryu, "Design of 24GHz Low Noise Amplifier for Automotive Radar", Journal of Korean Institute of Information Technology, Vol. 10, No. 7, pp. 41-47, Jul. 2012.

[8] W. Debski, W. Winkler, D. Genschow, and R. Kraemer, "24GHz Transceiver Front-end with Integrated Ramp Generator", IEEE Proceedings of the 6th European Microwave Integrated Circuits Conference, Manchester, UK, pp. 233-236, Oct. 2011.

[9] C. Y. Lin, M. W. Lin, C. P. Liang, and S. J. Chung, "A 24GHz Low-power and High-gain Low-noise Amplifier Using 0.18 μ m CMOS Technology for FMCW Radar Applications", Proceedings of Progress in Electromagnetics Research Symposium (PIERS 2012), Moscow, Russia, pp. 892-896, Aug. 2012.

[10] S. Pruvost, L. Moquillon, E. Imbs, M. Marchetti, and P. Garcia, "Low Noise Low Cost Rx Solutions for Pulsed 24GHz Automotive Radar Sensors", 2007 IEEE Radio Frequency Integrated Circuits Symposium, Honolulu, HI, USA, pp. 387-390, Jun. 2007.

[11] J. Cheon, "A Low Voltage Bandgap Current Reference with Low Dependence on Process, Power Supply, and Temperature", Journal of Advanced Information Technology and Convergence, Vol. 8, No. 2, pp. 59-67, Dec. 2018.

[12] B. Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, New York, NY, USA, 2001.

[13] B. Razavi, "Microelectronics", Prentice-Hall, Inc., New Jersey, pp. 11-98, 1998.

저자소개

노 석 호 (Seok-Ho Noh)



1982년 : 한양대학교
전자공학과(공학사)
1990년 : 일본 동경공업대학교
물리정보공학 졸업(공학석사)
1993년 : 일본 사이다마대학교
생산정보공학 졸업(공학박사)
1993년 ~ 1998년 2월 : 한국전자

통신연구소 위성방송시스템연구실 선임연구원
1998년 3월 ~ 현재 : 안동대학교 전자공학과 교수
관심분야 : 디지털방송시스템, DSP, 반도체회로설계 및
검사

류 지 열 (Jee-Youl Ryu)



1993년 2월 : 부경대학교
전자공학과(공학사)
1997년 2월 : 부경대학교
전자공학과(공학석사)
2004년 12월 : 애리조나
주립대학교 전기공학과(공학박사)
2009년 3월 ~ 현재 : 부경대학교

정보통신공학과 교수
관심분야 : 시스템-온-칩 설계, 고주파 회로 설계,
임베디드 시스템 설계