

# 전류 피드백을 이용하여 주파수 동작범위와 노이즈 특성을 향상시킨 홀센서 인터페이스 계측 증폭기 설계에 대한 연구

이승원\*, 손상희\*\*

## A Study on the Design of Hall-Sensor Interface Instrumentation Amplifier to Improve Frequency Operating Range and Noise Characteristic using Current Feedback

Seung-Won Lee\*, Sang-Hee Son\*\*

---

이 논문은 2020학년도 청주대학교 연구장학 지원에 의한 것임, 본 논문은 IDEC에서 EDA Tool을 지원받아 수행한 것임

---

### 요 약

본 논문에서는 완전 차동 계측 증폭기 구조에 초퍼와 전류 피드백을 사용하여 동작 주파수 범위를 증대시킴과 동시에 소비전력을 감소시킬 수 있는 인터페이스 계측 증폭기 회로구조를 제시하였다. 독립적인 입력 및 출력 공통모드 전압 사용이 용이하도록 하였고, 동시에 기존 회로와 유사한 크기의 높은 CMRR을 유지하도록 하였다. 저 소음 및 저주파수에서 발생하는  $1/f$  잡음 발생을 억제하기 위해 초퍼 회로를 추가 사용하였다. 동시에 초핑 주파수에서 발생하는 리플을 제거하기 위해 계측 증폭기 회로의 출력과 2단 증폭기 사이에 리플 전압의 유입을 막기 위해 필터를 추가하였다. 이 구조를 사용하였을 경우 기존 증폭기보다 10배 높은 주파수 범위에서 동작시킬 수 있었다. 본 논문에서 제안한 증폭기 회로는 0.18um TSMC CMOS 공정기술을 사용하여 컴퓨터 시뮬레이션을 수행하였고 검증하였다.

### Abstract

In this paper, we proposed an interface instrumentation amplifier circuit structure that can increase the operating frequency range by using chopper and current feedback in the fully differential amplifier structure and reduce power consumption. It is easy to use independent input and output common mode voltages and the high CMRR of a size similar to that of the previous circuit is maintained at the same time. A chopper circuit is additionally used to suppress the generation of  $1/f$  noise generated at low noise and low frequency. At the same time, a filter was added between the output of the instrumentation amplifier circuit and the two-stage amplifier to eliminate ripples occurring at the chopping frequency. This prevented the inflow of ripple voltage. To use the this structure, it was possible to operate in 10 times higher frequency range than the conventional amplifier. The amplifier circuit proposed in this paper was performed and verified by computer simulation using 0.18um TSMC CMOS process technology.

### Keywords

hall sensor, instrumentation amplifier, chopper, current-feedback

---

\* 청주대학교 반도체공학과 석사과정  
- ORCID: <https://orcid.org/0000-0001-8702-1717>  
\*\* 청주대학교 반도체공학과 교수(교신저자)  
- ORCID: <https://orcid.org/0000-0003-4392-066X>

· Received: May 29, 2020, Revised: Aug. 06, 2020, Accepted: Aug. 09, 2020  
· Corresponding Author: Sang-Hee Son  
Dept. of Semiconductor Eng., Cheongju University, Korea  
Tel.: +82-43-229-8464, Email: shson@cju.ac.kr

## 1. 서 론

고집적, 고성능 센서 회로는 입력 신호가 외부요인에 의하여 변하지 않으면서 미세 전압을 계측하여 입력 신호를 제대로 전달해줄 수 있는 증폭기가 반드시 필요하다. 일반적으로 센서 회로는 크게 브리지 회로, 프리앰프, 저역 통과 필터, ADC로 구성된다. 브리지 회로에서 물리적인 변화에 따라 임피던스가 변하여 출력단에 전압 차가 발생할 경우 이를 프리앰프가 증폭시켜 ADC에 전달되는 다이내믹 레인지를 완화해준다. 따라서 프리앰프는 전원단에서 발생하는 리플 값이나 노이즈에 강해야 하고 왜곡되지 않아야 한다. 이와 같이 미세 전압을 감지하기 위한 특수한 목적으로 사용되는 프리앰프로 계측 증폭기가 주로 사용된다.

기존의 계측 증폭기는 두 개의 버퍼 단과 하나의 차동 증폭기로 이루어져 있다[1]-[4]. 하지만 그 외에도 버퍼단의 입력 포화와 차동 증폭기단의 출력 증폭을 위한 별도의 저항과 높은 CMRR을 얻기 위한 피드백 저항이 사용되어 진다. 반면에 버퍼단에 사용될 두 개의 고 이득 연산 증폭기가 필요하기 때문에 전력 효율이 떨어지는 문제점이 발생한다[5].

본 논문에서는 이러한 문제점을 해결하기 위해 입력 단으로 사용되었던 두 개의 버퍼 단을 하나의 연산 증폭기로 대체하였다. 또한, 출력단에 증폭을 조절하기 위한 저항을 제거하고 이를 대신할 피드백 회로를 추가하였다. 그리고 1/f 노이즈가 발생하는 소자의 크기를 조절하여 노이즈의 크기를 약 82% 줄이면서 레이아웃 작업시 발생하는 미스매치에 의한 전류의 편차가 발생하는 것을 막고자 하였다[6]-[7]. 전체적으로 기존 회로구조를 변경한 회로 설계를 통해 기존의 높은 CMRR을 유지하면서 기존의 회로보다 소비전력이 감소하고 주파수 동작 특성 범위가 높으며, 노이즈 특성이 향상된 새로운 계측증폭기 회로를 제안하고자 한다.

## II. 초퍼와 전류 피드백을 이용한 프리앰프 회로제안

기존의 계측 증폭기는 그림 1과 같이 두 개의 버퍼 단과 하나의 차분 증폭기로 구성되어있으며 추

가로 입력단의 포화와 출력단의 증폭 조절을 위한 저항이 필요하다.

$R_G$ 는  $R_1, R_2$ 와 다르게 외부에서 연결하여 사용하고, 저항의 크기가 작을수록  $G$ 가 커진다.

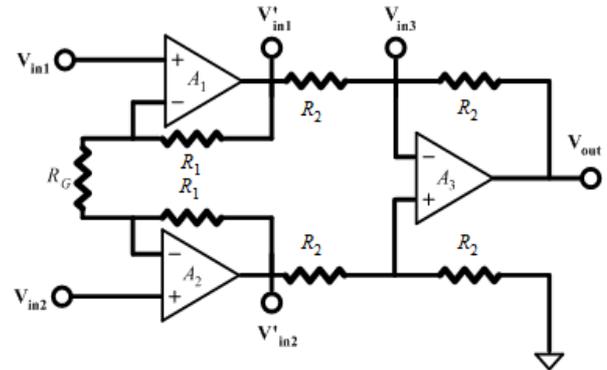


그림 1. 기존 계측 증폭기 회로 [2]

Fig. 1. Conventional instrumentation amplifier circuit [2]

그림 1의 기존 계측 증폭기의 동작은 다음과 같다. 먼저 증폭기  $A_1$ 의 반전 입력부분에 키르히호프의 전류 법칙을 사용하면 식 (1)이 유도되며 이를 정리하면 식 (2)와 같이 나온다.

$$\frac{V_{in1} - V'_{in1}}{R_1} + \frac{V_{in1} - V_{in2}}{R_G} = 0 \quad (1)$$

$$V'_{in1} = V_{in1} + R_1 \left( \frac{V_{in1} - V_{in2}}{R_G} \right) \quad (2)$$

다음으로 증폭기  $A_2$ 의 반전 입력으로부터  $V'_{in2}$ 에서의 키르히호프의 전류 법칙을 사용하면 식 (3), 식 (4)와 같이 나온다.

$$\frac{V_{in2} - V'_{in2}}{R_1} + \frac{V_{in2} - V_{in1}}{R_G} = 0 \quad (3)$$

$$V'_{in2} = V_{in2} + R_1 \left( \frac{V_{in2} - V_{in1}}{R_G} \right) \quad (4)$$

위와 마찬가지로, 키르히호프의 전류 법칙으로 증폭기  $A_3$ 의 반전 입력과 비 반전 입력을 정리하면 각각 식 (5)와 식 (6)이 유도되고, 이로부터 식 (7) 과 식 (8)을 유도할 수 있다.

$$\frac{V_{in3} - V_{out}}{R_2} + \frac{V_{in3} - V'_{in1}}{R_2} = 0 \quad (5)$$

$$V_{out} = 2V_{in3} - V'_{in1} \quad (6)$$

$$\frac{V_{in3}}{R_2} + \frac{V_{in3} - V'_{in2}}{R_2} = 0 \quad (7)$$

$$2V_{in3} = V'_{in2} \quad (8)$$

위에 식을 정리하면 아래와 같은 식 (9)를 구할 수 있다.

$$V_{out} = \frac{2R_1(V_{in2} - V_{in1})}{R_G} + (V_{in2} - V_{in1}) \quad (9)$$

식 (9)에서 확인할 수 있는 것은 기존 계측 증폭기의 이득은 입력 신호의 차가  $R_1, R_G$ 의 비율로 증폭되는 것을 알 수 있다.

그러나 이 회로의 문제점은 높은 CMRR을 얻기 위해서 저항의 크기를 조절해야 하는 불필요한 과정과 높은 입력 저항을 만드는 데만 사용되는 연산 증폭기의 전력 소모가 효율적이지 않다. 여기서 CMRR은 앞서 말한 브리지 회로에서 받은 입력 신호에 섞인 노이즈를 제거하기 위해 높은 값이 요구된다.

이에 본 논문에서는 내부 이득과 CMRR을 조절

하기 위해 저항이 없는 구조를 사용하였으며 동시에 위상여유를 보완하여 주파수 안정성을 높이기 위해 전류 피드백 회로를 출력단에 추가 삽입하였고 각 연산 증폭기의 입·출력단에 초퍼를 추가하여 노이즈를 제거하는 회로를 제안하였다. 이를 통해 CMRR 향상, 불필요한 전력 소모 감소, 구동 능력을 향상시키고자 시도하였다. 제안한 회로의 전체 블록도를 그림 2에 나타내었다.

그림 2의 제안한 회로에 사용된 연산 증폭기는 기존 회로와 다르게 완전 차동 증폭기를 사용하여 단일 출력 차동 증폭기보다 높은 CMRR을 얻어낼 수 있으며 동적 범위도 증가하였다. 완전 차동 증폭기의 경우 다양한 목적을 위해 사용할 수 있도록 넓은 입출력 전압 스윙에 적합한 폴디드 캐스코드 구조를 사용하였다.

그림 2의 동작은 입력신호가 gm1과 gm2를 지나 가면서 증폭된다. gm1과 gm2의 이득은 식 (10)으로 구할 수 있다.

$$\frac{V_{OD}}{V_{ID}} = \frac{V_{OUTP} - V_{OUTN}}{V_{INP} - V_{INN}} = A \quad (10)$$

본 논문에서는 내부 저항이 없는 계측 증폭기를 설계하기 때문에 출력 전압이 포화하는 불안정성을 보상하기 위해 전류 피드백 회로를 사용하였다. 주파수 특성 결과 이 회로를 사용하였을 경우 안정성을 얻었으며, 출력 신호의 왜곡도 발생하지 않았다.

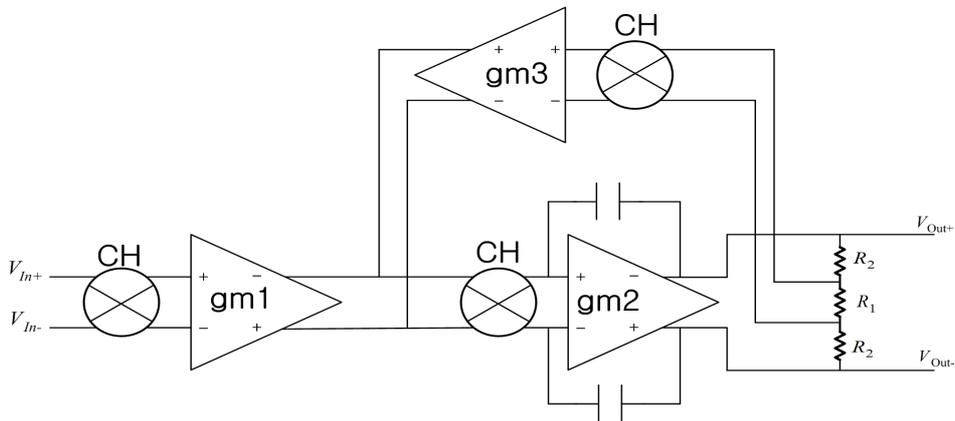


그림 2. 본 논문에서 제안한 회로의 전체 블록도

Fig. 2. Overall block diagram of proposed circuit in this paper

제안한 회로를 중요한 블록으로 나누면 다음과 같다. 첫 번째 입력 신호와 증폭기를 지나 발생하는 노이즈를 제거하기 위한 초퍼 회로, 노이즈가 제거된 신호를 증폭하는 완전 차동 증폭기 회로, 두 번째 증폭기의 출력단과 입력 단 사이에 전류 피드백으로 주파수 특성을 보상하기 위한 전류 피드백 회로로 분류되며 각각의 회로 동작 원리는 다음과 같다.

그림 3은 제안한 회로에 사용되는 스위치 초퍼이며, 구성은 양단에 2개의 IN, OUT 단자와 각 트랜지스터의 상·하단에 상반되는 CLK 단자로 되어있다. 동작은 간단하게 상·하단의 있는 CLK 단자에 각각 LOW와 HIGH 신호가 인가되면 IN 단자의 입력 신호가 OUT 단자로 전달된다. 이러한 초퍼 회로는 변조기법을 이용해서 1/f과 같은 저주파수 대역의 신호를 변조하고 증폭한 뒤 다시 복조를 하는 과정을 거치면 SNR이 상당히 개선 될 수 있다. 원하는 신호만 증폭시켜 상대적으로 노이즈가 제거되는 효과를 얻을 수 있고 SNR은 식 (11)로 나타낼 수 있다.

$$SNR = 20 \log \frac{v_{signal}}{v_{noise}} [dB] \quad (11)$$

그림 4는 계측 증폭기 내부에 사용한 완전차동 증폭기 회로를 나타낸 것이다. 그림 4의 회로는 간단한 폴디드 캐스코드 구조에 CMFB(Common Mode FeedBack)를 추가한 회로이다. 완전 차동증폭기에는 CMFB가 필요한데, 이 회로 기능은 출력전압이 일정한 전압에 고정될 수 있게 해준다[8]. 만일 이를 사용하지 않는다면 신호의 왜곡 현상이 발생하게 된다. 그림 4의 CMFB 블록도 입력에서 완전 차동 증폭기의 두 출력 단자 전압 값(OUTP, OUTN)을 CMFB의 Vref와 비교를 하여 포화가 되지 않는 식 (12)의 전압으로 조정하여 차동증폭기의 CMFB 단자로 공급한다. 이를 통해 CMFB의 동작에 의해 부궤환이 걸리게 되어 CMFB 출력 전압이 식 (12)로 고정된다[3].

$$V_{O,cm} = \frac{(VDD + VSS)}{2} \quad (12)$$

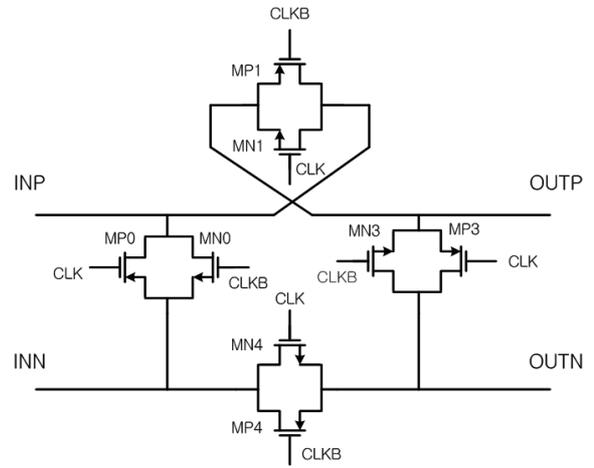


그림 3. 제안한 스위치 초퍼 회로  
Fig. 3. Proposed switch chopper circuit

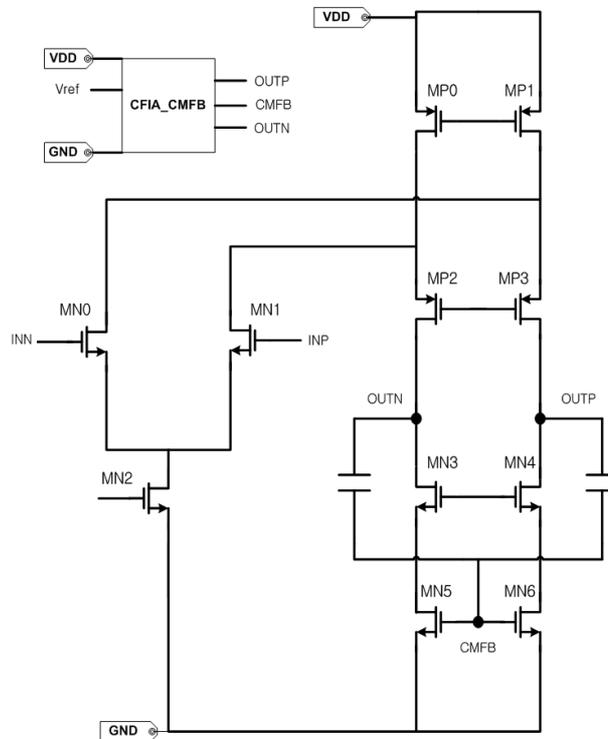


그림 4. 제안한 회로에 사용한 완전 차동 증폭기 회로  
Fig. 4. FDA(Fully Differential AMP) circuit used in the proposed circuit

그림 5는 출력전압을 전류로 변환하여 완전 차동 증폭기를 안정화해주는 전류 피드백 회로이다. 기존 계측 증폭기 내부에는 입력 포화와 이득을 조절하기 위한 저항이 사용되었지만 동일한 비율의 저항이 필요하다는 단점이 있다. 제안한 계측 증폭기는 내부 저항 없이도 동작하지만, 전류 피드백 회로를 사용하면서 단일 이득 주파수 범위가 증가한다.

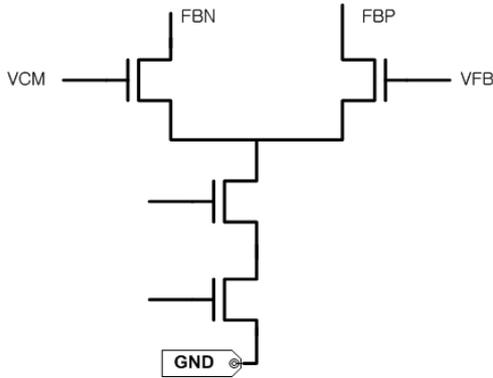


그림 5. 제안한 회로에 사용한 전류 피드백  
Fig. 5. Current feedback circuit used in the proposed circuit

또한, 입·출력 단에 각각 풀디드 캐스코드 구조를 갖는 완전 차동 증폭기를 사용하였기 때문에 두 개의 고 이득 연산 증폭기를 버퍼 입력 단으로 사용한 것에 비해 전력 소모가 작아지는 결과를 얻는다. 그리고 기존 회로에서는 차동 입력단과 단일 출력 단을 가진 증폭기를 사용하였지만 제안한 회로에서는 입·출력 단 모두 차동으로 되어있는 완전 차동 증폭기를 사용하였다. 단일 출력 단은 GND를 기준으로 하여 출력전압을 측정하기 때문에 단일 GND가 노이즈나 리플 전압에 의해 흔들리게 되므로 미세 전압을 계측하는 증폭기에는 부적합하다. 추가로 다이내믹 범위가 단일 출력 단에 비해 2배 향상된다[8].

그림 2의 전체 블록도에서 리플 공급전압에 의해 초퍼에서 발생하는 글리치를 방지하기 위해 제안한 회로의 구조와 같이 출력 단 증폭기에 커패시터를 추가하여 안정성을 추가로 확보하였다.

그림 2의 전체 구조에서 입력 신호의 노이즈를 제거하기 위해 제안한 회로 내부에 초퍼 회로를 추가시켰다. 초퍼회로는 입력 신호의 ON/OFF를 통해 전류나 전압의 크기와 모양을 변화시킨다. 초퍼 회로가 없을 때 계측 증폭기 내부에 있는 능동소자는 100Hz이하의 저주파에서 고유의 노이즈가 발생한다. 이를 플리커(flicker) 노이즈라고 하며 주파수가 높아짐에 따라 노이즈의 세기가 줄어든다. 초퍼 회로는 NMOS와 PMOS를 서로 소스 단과 드레인 단을 연결하여 사용하였고 입력 신호를 공급받아 CLK에 의해 출력으로 내보낸다. 이때 높은 주파수의 CLK에 의해 스위치가 빠르게 개폐되면 클리치가 발생하지만 이를 방지하기 위해 연산 증폭기의

입·출력 단에 서로 입력이 반대인 초퍼 회로를 추가하여 입력에서 발생하는 글리치를 제거하게 하였다.

### III. 제안한 회로 시뮬레이션 및 결과 분석

그림 2에서 제안한 회로를 0.18um TSMC CMOS 모델 파라미터를 사용하여 Cadence Virtuoso로 시뮬레이션을 통하여 성능을 확인하였다. 전력 소모를 향상하고 미세 전압을 계측하는 목표로 하기 위해 저전압 조건의 파라미터를 설정했다. 회로 시뮬레이션의 경우 그림 1의 계측 증폭기의 경우 내부에 저항이 있는 구조를 사용하였고, 두 개의 고 이득 연산 증폭기를 버퍼 단으로 사용하였다. 그림 2와 같이 본 논문에서 제안한 회로의 경우 본문에 언급한 완전 차동 증폭기에 전류 피드백 회로를 추가한 블록 회로를 사용하여 컴퓨터 시뮬레이션 하였다. 표 1은 설계에 사용된 공정 파라미터를 나타낸 것이다.

표 1. 시뮬레이션에 사용한 CMOS 설계 파라미터  
Table 1. CMOS design parameters used in the circuit simulation

Item	Value
$V_{DD}$	1.8 V
$V_{in}$	1 mV
$V_{ref}$	0.9 V
Resistor $R_1$	569 k $\Omega$
Resistor $R_2$	283 k $\Omega$
Model parameter	TSMC 0.18um CMOS

#### 3.1 기존 회로의 시뮬레이션 결과

그림 6은 그림 1의 기본 계측 증폭기 회로 입력에 1 mV 값을 인가하였을 때 출력 전압과 주파수에 크기에 따른 이득 및 위상을 측정된 결과이다. 시뮬레이션에 사용된 저항  $R_1, R_G$  크기는 500M $\Omega$ , 200 $\Omega$ 이다. 기존 회로에서는 출력 단이 하나이므로 그림 6(a)와 같이 출력 스윙이 하나인 것을 알 수 있었다. 그림 6(b)는 기존 계측 증폭기의 주파수 특성을 나타낸 그래프이다. 그림 6(b)에서 차단 주파수는 275.423 mHz이며 위상 여유도는 62°인 것을 알 수 있다. 위상 여유도는 크기가 0dB일 때 위상 크기를 의미하며 식 (13)과 같다.

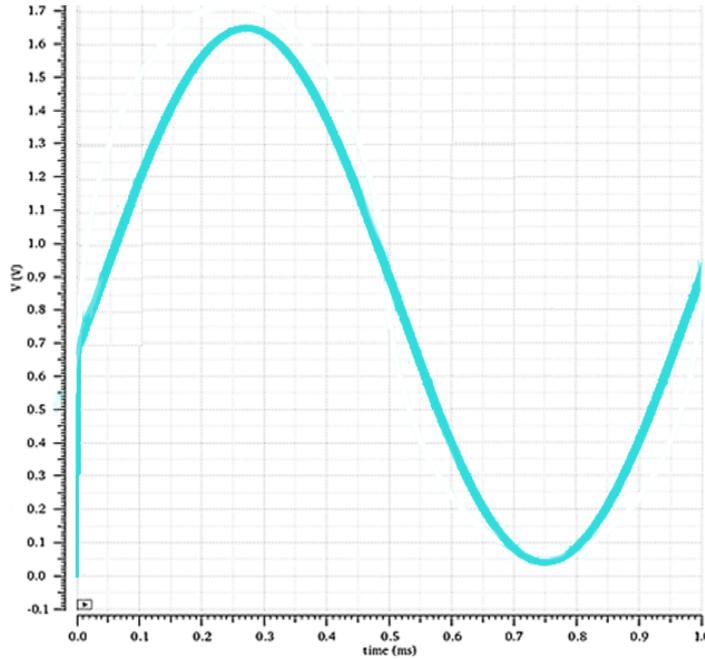
$$Phase\ Margin = 180^\circ - \phi [^\circ] \quad (13)$$

표 2는 기존 계측 증폭기를 시뮬레이션 한 후 확인한 이득 크기와 단위 이득 주파수와 위상 여유도, 차단 주파수의 결과를 정리한 표이다. 측정 결과 차단 주파수는 약 275mHz에서 나타났으며 차단 주파수 이상의 주파수에서는 회로가 제대로 동작하지 않는다.

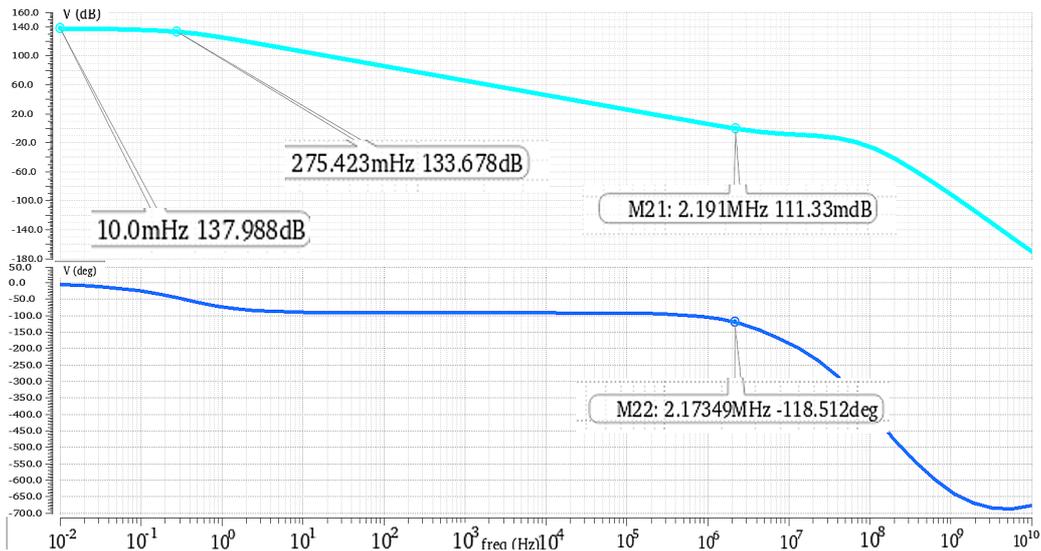
표 2. 그림 6에 대한 특성 요약

Table 2. Characteristics summary for the Fig. 6

Item	Measured value
Supply voltage	1.8[V]
Gain	140[dB]
Phase margin	62[° ]
Gain margin	2[MHz]
3 dB bandwidth	275[mHz]



(a) 과도해석 시뮬레이션 결과  
(a) Simulation result of transient analysis



(b) 주파수해석 시뮬레이션 결과  
(b) Simulation results of frequency analysis  
그림 6. 그림 1의 기존회로에 대한 시뮬레이션 결과  
Fig. 6. Simulation results of the conventional circuit in Fig. 1

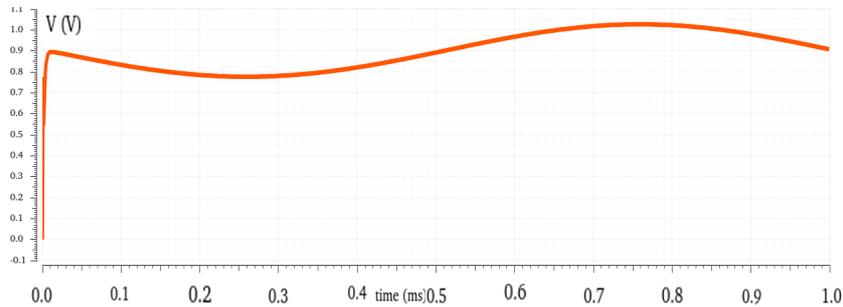
### 3.2 제안한 회로의 시뮬레이션 결과

그림 7은 제안한 그림 2의 계측 증폭기 회로에 입력  $1mV$  값을 인가하였을 때 출력 전압과 주파수 크기에 따른 이득 및 위상을 측정하는 결과이다.

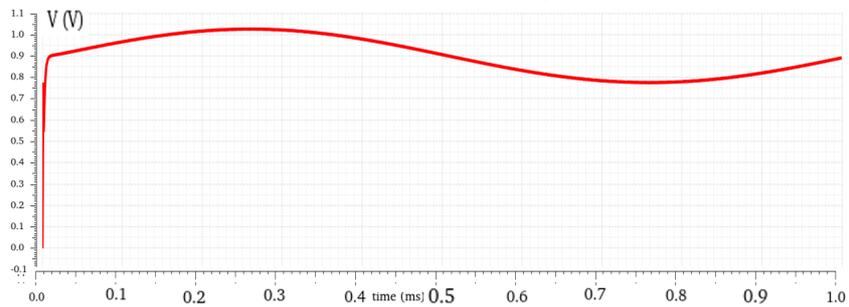
공급전압은 실제 일정한 전압이 아닌 리플 전압을 인가하였을 때를 가정하였다. 그림 2는 그림 1과 다르게 서로 다른 두 출력 단을 기준으로 측정하므로 출력단의 그래프가 두 개다. 그림 7(a) 그래프는

$V_{out+}$  단자의 결과이며, 그림 7(b) 그래프는  $V_{out-}$  단자의 결과이다. 그림 7(c)는 제안한 계측 증폭기의 주파수 특성을 나타낸 그래프이다.

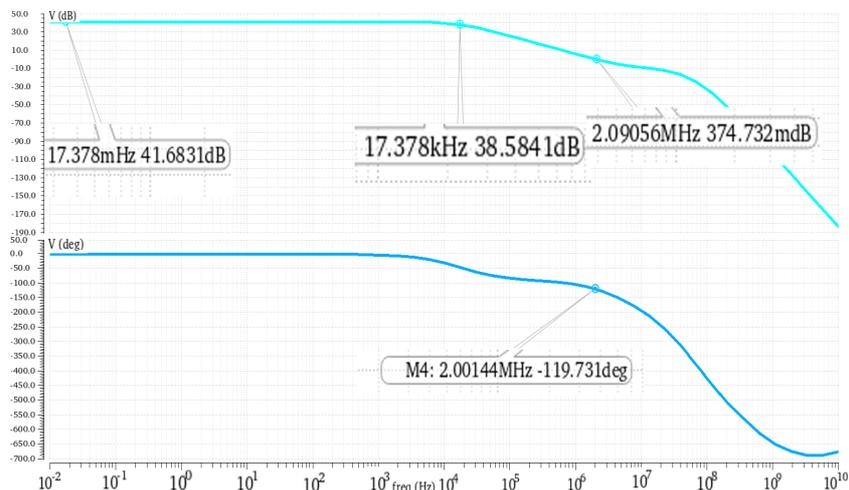
그림 7(c)에서도 3dB 지점이  $17kHz$ 로 기존 회로의  $275mHz$  보다 안정화된 것을 볼수 있으며, 위상 여유도는  $60^\circ$ 인 것을 알 수 있다. 이 결과를 보면 차단 주파수가  $17kHz$ 으로 기존의 회로보다 좋은 주파수 특성을 얻을 수 있음을 보여주고 있다.



(a)  $V_{out+}$  단자에 대한 과도해석 시뮬레이션 결과  
(a) Simulation result of transient analysis for  $V_{out+}$



(b)  $V_{out-}$ 에 대한 과도해석 시뮬레이션 결과  
(b) Simulation result of transient analysis for  $V_{out-}$

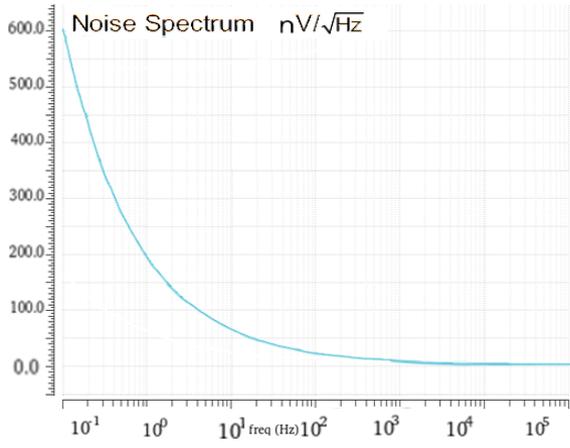


(c) 주파수해석 시뮬레이션 결과

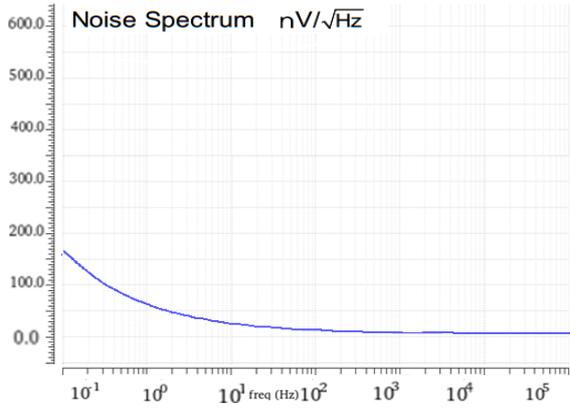
(c) Simulation results of frequency analysis

그림 7. 그림 2의 제안한 회로에 대한 시뮬레이션 결과  
Fig. 7. Simulation results of the proposed circuit in Fig. 2

그림 8 (a), (b)는 제안한 회로의 노이즈 스펙트럼 시뮬레이션 결과이다. 그림 8(a)와 같이 초퍼 회로가 없는 경우 100Hz 미만의 주파수에서 1/f 노이즈가 600nV/√Hz로 나타났고, 그림 8(b)에서는 초퍼회로를 사용한 경우 150nV/√Hz로 노이즈가 감소한 것을 알 수 있었다.



(a) 초퍼를 사용하지 않는 노이즈 스펙트럼  
(a) Noise spectrum without chopper



(b) 초퍼를 사용한 노이즈 스펙트럼  
(b) Noise spectrum with chopper

그림 8. 그림 2의 제안한 회로의 노이즈 스펙트럼  
Fig. 8. Noise spectrum of the proposed circuit in Fig. 2

표 3은 제안한 회로의 내부에서 발생하는 1/f 노이즈의 비율을 나타낸 것이다. 표 3의 결과에서 1/f 노이즈 비율이 다른 노이즈들에 비해 큰 것을 알 수 있으며 이런 노이즈들은 모두 공급 전원에 직접 연결된 소자에서 주로 발생하며 이는 식 (14)으로 나타낼 수 있다.

$$Noise = \frac{K}{C_{ox}WLf} (K, \text{공정상수}) \quad (14)$$

표 3에서 전체 노이즈의 거의 절반에 해당하는 큰 노이즈를 발생시키는 소자가 gm2 블록의 MN5, MN6 라는 것을 보여 주고 있다. 이 gm2 블록 회로도를 그림 4에 나타내었다.

표 3. 그림 2의 사이즈 변경 전 노이즈 서머리  
Table 3. Noise summary before resizing in Fig. 2

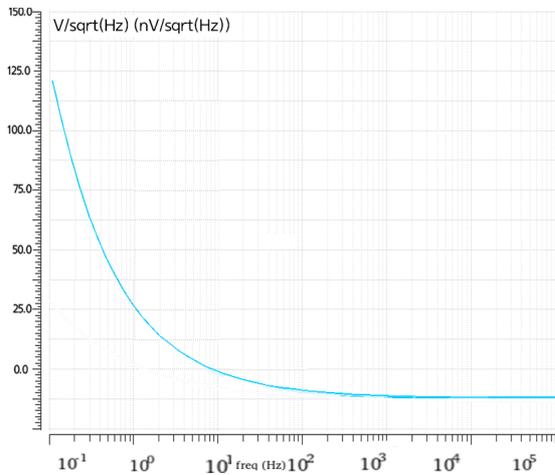
Device	Parameter	Noise occupancy rate(%)
MN5 (gm2 in Fig. 2)	flicker	24.83
MN6 (gm2 in Fig. 2)	flicker	24.27
MN2 (gm3 in Fig. 2)	id	3.83
MN2 (gm1 in Fig. 2)	id	3.83
MN2 (gm2 in Fig. 2)	id	3.77

그림 4의 gm2 회로도에서 알 수 있듯이 MN5, MN6는 CMFB로 표기된 단자와 연결되어 있다. 한편, 식 (13)으로 부터 노이즈의 크기는  $C_{ox}$  와 W, L, f의 비율에 따라 반비례하며 공정 상수 K에 비례한다. 따라서 노이즈의 크기를 줄이기 위해서는 W와 L을 재설정하여야 하나 W와 L의 비율을 달리 하면 식 (15)와 같이 포화 전류의 크기가 달라지므로 회로에 영향을 주기 때문에 이를 고려하여 W/L를 같은 비율로 유지하면서 트랜지스터 크기를 조절하여 노이즈를 줄였다.

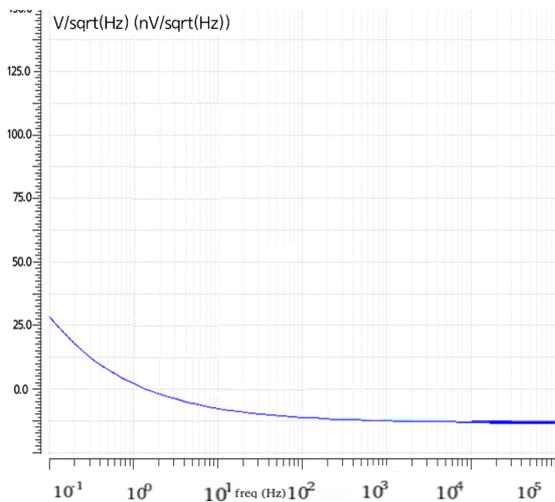
$$i_D = \frac{1}{2} (\mu_n C_{ox}) \left( \frac{W}{L} \right) (V_{gs} - V_{th})^2 (1 + \lambda v_{DS}) \quad (15)$$

그림 9는 제안한 회로에서 전원부에 직접 연결된 능동소자의 W와 L의 비율을 똑같이 증가시켜 노이즈가 감소한 노이즈 스펙트럼 시뮬레이션 결과이다. 동일한 조건에 시뮬레이션을 실행한 결과 사이즈를 변경하기 전과 후의 노이즈 스펙트럼의 크기가 감소했음을 알 수 있다. 그림 9(a)에서는 초퍼 회로가 없으면 100Hz 미만의 주파수에서 1/f 노이즈가 125nV/√Hz로 나타나며, 그림 9(b)에서는 초퍼를 사용하였을 때 27nV/√Hz로 노이즈가 감소한 것을 알 수 있었다.

표 4는 제안한 회로의 능동소자 크기를 변경하기 전과 후의 특성을 요약한 표이다. 표 4에서 알 수 있듯이 입력단의 능동소자를 동일한 비율로 변경하였을 때 크기 조정 전과 후의 전류의 크기와 위상 여유도, 이득 여유도등 여러 특성은 변동하지 않았음에도 불구하고 입력 노이즈 밀도가 150nV/√Hz에서 123nV/√Hz 감소하였음을 알 수 있다.



(a) 사이즈 변경 후 초퍼를 사용하지 않은 노이즈 스펙트럼  
(a) Noise spectrum without chopper after resizing



(b) 사이즈 변경 후 초퍼를 사용한 노이즈 스펙트럼  
(b) Noise spectrum with chopper after resizing

그림 9. 제안한 회로(그림 2)의 능동소자 크기 변경 후의 노이즈 스펙트럼 시뮬레이션 결과

Fig. 9. Noise spectrum simulation results after resizing in the proposed circuit in Fig. 2

표 4. 그림 2의 제안한 회로에 대한 능동소자 크기 조정 전과 후의 특성 비교

Table 4. Comparison results before and after active devices resizing for the proposed circuit in fig. 2

Item	Size change before	Size change after
Supply voltage	1.8[V]	1.8[V]
Max. output current	202[ $\mu A$ ]	200[ $\mu A$ ]
Gain	41[dB]	41[dB]
Phase margin	60[ $^{\circ}$ ]	60[ $^{\circ}$ ]
Gain margin	2[MHz]	2[MHz]
3 dB bandwidth	17[kHz]	17[kHz]
Input noise density	150nV/ $\sqrt{Hz}$	27nV/ $\sqrt{Hz}$

### 3.3 제안한 회로의 결과와 다른 연구 결과와의 비교 검토

표 5는 다른 논문에서 제시한 계측 증폭기 회로와 본 논문에서 제시한 회로의 특성을 비교한 결과로 비교 논문의 경우 논문에 언급된 결과만을 표시하였다. 표 5에서 알 수 있듯이 위상 여유도, CMRR, 입력 노이즈 밀도, 이득의 결과는 본 논문의 결과와 비교 대상 논문의 결과와 유사하였다.

표 5. 제안한 회로 결과와 최근 발표된 결과와의 비교  
Table 5. Comparison of the proposed circuit results with recently reported results

Item	Reference[2]	Reference[5]	this work
Supply voltage	5[V]	5[V]	1.8[V]
Gain	137[dB]	45[dB]	41[dB]
Input noise density	-	17nV/ $\sqrt{Hz}$	25nV/ $\sqrt{Hz}$
CMRR	-	130[dB]	130[dB]
Gain margin	2[MHz]	200[KHz]	2[MHz]
3 dB bandwidth	275[mHz]	-	17[kHz]
Phase margin	65[ $^{\circ}$ ]	-	60[ $^{\circ}$ ]
Supply current	-	226[ $\mu A$ ]	200[ $\mu A$ ]
Power consumption	-	1.13[mW]	0.36[mW]

그러나 제안한 회로의 경우 단위 이득 주파수의 범위가 비교 대상 논문의 결과보다 10배 이상 높다는 것을 알 수 있다. 또한, 본 논문의 결과가 참고 문헌 [5] 보다 더 적은 전류가 흘러 전력 소모를 줄이면서 동작을 할 수 있음을 알 수 있었다.

## IV. 결 론

본 논문에서는 기존에 사용되던 계측 증폭기에 비해 차단 주파수의 범위는 275mHz에서 17kHz로 넓어졌으며 전력 소모는 0.36mW로 참고문헌 [5]보다 약 0.77mW 적은 전력으로 동작할 수 있는 회로를 제안하고 설계하였다. 기존 회로의 구조에서 입력단의 포화와 출력단의 이득을 조절하기 위해 사용되는 저항과 입력 신호를 받아들이기 위해 사용되던 고 이득 연산 증폭기를 대신하여 완전 차동 증폭기를 사용하였고 이로 인해 기존의 회로보다 더 넓은 주파수에서 동작한다는 결과를 얻을 수 있었다. 여기에 전류 피드백을 추가하여 출력 신호가 포화되는 것을 방지할 수 있었으며, 증폭기의 입·출력 단에

초퍼 회로를 추가하여 입력 신호의 노이즈를 제거할 수 있었다.

또한, 초퍼 회로는 스위치를 빠른 속도로 개폐하기 때문에 글리치가 발생하는데 이를 방지하기 위해 출력단의 증폭기에 커패시터를 추가하였다. 시뮬레이션 결과 최종적으로 초퍼 회로를 사용하지 않았을 때  $600\text{nV}/\sqrt{\text{Hz}}$ , 초퍼회로를 사용하였을 때 약  $156\text{nV}/\sqrt{\text{Hz}}$ 값을 가지는 것을 확인하였다.

또한, 가장 노이즈가 많이 발생하는 전원에 연결된 능동소자의 크기를 변경한 경우 초퍼회로를 사용하지 않았을 때는  $125\text{nV}/\sqrt{\text{Hz}}$ 의 값을 가지나 초퍼회로를 사용하였을 때는  $27\text{nV}/\sqrt{\text{Hz}}$ 의 값으로 낮아졌음을 알 수 있었다. 그리고 능동소자의 사이즈 변경 후 능동소자에 흐르는 전류의 크기가 변하면 안되므로 식 (15)에 W/L의 비율을 동일하게 증가시켰다. 이때, VDD와 GND가 연결된 능동소자의 크기가 증가하는 단점을 가지고 있지만, 전원에 연결된 소자에 한하여 증가하므로 레이아웃 작업 시 위치를 고려하여 설계하면 된다. 또한, 공급전류가 직접 흘러가는 부분이기 때문에 소자의 크기가 커지면서 발생할 수 있는 크기 미스매칭에 의한 전류 크기의 편차가 작아지게 된다.

### References

[1] Thomas L. Floyd, "Electronic Devices Conventional Current Version", PEARSON, pp. 924-926, Dec. 2011.

[2] Maitraiyee Konar, Rashmi Sahu, and Sudip Kundu, "Improvement of the Gain Accuracy of the Instrumentation Amplifier Using a Very High Gain Operational Amplifier", Devices for Integrated Circuit (DevIC), Kalyani, Indi, pp. 408-412, Mar. 2019.

[3] M. A. Smither, D. R. Pugh, and L. M. Woolard, "C.M.R.R. analysis of the 3-op-amp instrumentation amplifier" IEEE Journals & Magazines, Electronics Letters, Vol. 13, No. 20, pp. 594, Sep. 1977.

[4] A. Harb and M. Sawan, "5r", IEEE International Symposium on Circuits and Systems (ISCAS), Orlando, FL, USA, pp. 97-100, May 1999.

[5] Rong Wu, Kofi A. A. Makinwa, and Johan H.

Huijsing, "The Design of a Chopped Current-Feedback Instrumentation Amplifier", 2008 IEEE International Symposium on Circuits and Systems, Seattle, WA, USA, pp. 2466-2469, May 2008.

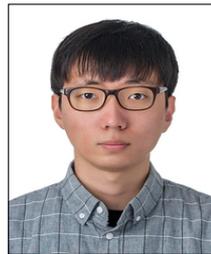
[6] Srijita Patra and Randall Geiger, "Comparison of MOSFET Mismatch Models with Random Physical and Random Model Variables", 2014 IEEE 57th International Midwest Symposium on Circuits and Systems (MWSCAS), College Station, TX, USA, pp. 278-281 Aug. 2014.

[7] A. Cathignol, S. Mennillo, S. Bordez, L. Vendrame, and G. Ghibaudo, "Spacing impact on MOSFET mismatch", 2008 IEEE International Conference on Microelectronic Test Structures, Edinburgh, UK, pp. 90-95, Mar. 2008.

[8] Behazad Razavi, "Design of Analog CMOS Integrated Circuits", MC Graw Hill, Jan. 2013.

### 저자소개

이 승 원 (Seung-Won Lee)



2019년 2월 : 청주대학교  
반도체공학과(공학사)  
2019년 3월 ~ 현재 : 청주대학교  
반도체공학과(공학석사).  
관심분야 : CMOS Analog IC 설계

손 상 희 (Sang-Hee Son)



1983년 2월 : 한양대학교  
전자공학과(공학사)  
1985년 2월 : 한양대학교  
전자공학과(석사)  
1988년 8월 : 한양대학교  
전자공학과(박사)  
1988년 9월 ~ 1991년 2월 :  
순천향대학교 전산학과 전임강사  
1991년 3월 ~ 현재 : 청주대학교 반도체공학과 교수  
2009년 ~ 2010년 : Univ. of Texas at Dallas 방문교수  
관심분야 : CMOS Analog IC 설계 및 센서 신호 처리  
회로 설계