

레이더용 다기능 모듈 보정 알고리즘 설계

최선열*, 이복형**, 박병준***

Design of Multi Function Chip Correction Algorithm for Radar

Sun-Youl Choi*, Bok-Hyung Lee**, and Byung-Jun Park***

요 약

본 논문에서는 레이더 시스템에 사용되는 다기능 칩(Multi function chip)에 대한 감쇄 보정 알고리즘을 연구하였다. 레이더 시스템에 사용되는 다기능 칩은 위상 천이 기능, 크기 감쇄 기능, 송수신 모드 선택 기능, 신호 증폭기능 등의 다양한 기능을 가지고 있다. 본 논문에서 알고리즘 개발을 위해 사용된 다기능 칩은 디지털 6-bit 감쇄 기능을 가지고 있으며, 다기능 모듈의 6-bit 크기 감쇄단위는 0.5dB이며 31.5dB까지 경로에 대한 크기 감쇄가 가능하다. 이를 보정 알고리즘을 통해 0.5dB에 가장 가깝게 움직일 수 있다. 본 논문에서는 레이더에 사용되는 다기능 칩에 대한 감쇄 보정에 대해 논할 예정이다. 보정 전 감쇄 값에 대한 오차는 약 ± 1.75 dB 이고, 알고리즘을 통한 감쇄 값에 대한 오차는 ± 0.61 dB이내로 측정되었다.

Abstract

In this paper, MFC(Multi Function Chip) Correction algorithm is described with the process of generating control data to correct amplitude for radar antenna unit. In Radar Systems MFC provides Phase shift, Amplitude attenuation, Selection of Tx/Rx, RF Signal amplification, etc. The MFC used in this paper provides digital Amplitude Attenuation. Also an amplitude attenuation resolution of The MFC is 0.5dB and it can be controlled to 31.5dB. by using the correction algorithm mentioned in this paper, it can be corrected about 0.5dB. we will discuss about attenuation correction algorithm of MFC for Radar. Before the correction algorithm, the MFC attenuation error had ± 1.75 dB. After the Correction algorithm, An error was measured less than ± 0.61 dB.

Keywords

MFC, P1dB, attenuation, phase, correction algorithm, parasitic effect

* 한화시스템 시스템 부문 선임연구원

- ORCID: <https://orcid.org/0000-0002-4604-2973>

** 한화시스템 시스템 부문 수석연구원(교신전자)

- ORCID: <https://orcid.org/0000-0002-0410-9455>

*** 한화시스템 시스템 부문 전문연구원

- ORCID: <https://orcid.org/0000-0002-4724-7698>

• Received: Mar. 12, 2020, Revised: Jun. 16, 2020, Accepted: Jun. 19, 2020

• Corresponding Author: Bok-Hyung Lee

Dept. of Hanwha Systems 491-23, Gyeonggidong-Ro, Namsa-Myun,
Cheoin-Gu, Yongin-City, Gyeonggi-Do, 17121, Korea

Tel.: +82-31-8020-7545, Email: bokhyung1228.lee@hanwha.com

1. 서 론

오늘날 방위 산업이 발달함에 따라 레이더 기술이 각광받고 있다. 레이더는 적의 전투기 및 목표를 감지하고 위치를 찾기 위한 장비 이다[1]. 레이더는 과거 기계식 레이더부터 현대에는 능동전자주사식 레이더[2]가 개발되고 있다. 이 레이더가 원하는 방향으로 방사 빔을 형성하고, 목표에 맞고 되돌아오는 신호를 탐지하기 위해 수신 빔을 형성 하게 되고 이는 주엽과 부엽으로 나뉘게 된다. 이 때 주엽과 부엽의 크기 차이는 중요한 파라미터 이다[3][4].

일반적으로 안테나 설계 시, 주엽과 부엽의 차이를 두기 위해서는 안테나 외각면에 RF신호의 크기와 위상가변이 가능한 다기능 칩(MFC)을 이용해 크기를 제어한다. 이 때 설계자가 원하는 감쇄 값을 적용하더라도, 실제 안테나 측정 결과의 주엽과 부엽의 차이는 설계자가 원하는 값이 나오지 않을 수 있다. 이는 일반적으로 다기능 모듈이 가지고 있는 오차와 다기능 칩과 전기적으로 연결되어 있는 소자들의 비선형성에 의해 원하지 않은 값이 적용되었기 때문이다. 이는 레이더를 운용 시, 빔 조향 오차를 발생 시키는 주요 원인이며, 주엽과 부엽의 크기 차이를 일정수준 유지하지 못한다면 목표 감지 확률이 줄 들게 되어 레이더 성능이 저하된다. 이를 개선하기 위해서 PCB(Printed Circuit Board) 설계 단계부터 신호 손실 및 기생 성분들을 최소화 하며 설계를 해야만 한다[5].

뿐만 아니라 대부분의 MFC 및 MMIC는 온도에 따라서 특성이 변화하는 특징이 있다.[6] 증폭기의 경우, 온도가 올라감에 따라 이득이 줄어드는 경향이 있고, 수동 소자를 이용한 칩은(BPF, Circulator 등)은 삽입 손실이 증가한다. 위와 같은 요소를 고려한 하드웨어 설계가 이루어져야 한다. 하지만 하드웨어 오차는 존재 할 수밖에 없고, 그 다음 단계인 디지털 제어 단계에서 보정을 함으로써, 오차를 더욱 줄일 수 있다.

본 논문에서는 상용 다기능 칩을 이용하여 알고리즘 테스트 및 시험을 진행하였다. 다기능 칩을 실장하기 위한 PCB를 제작하여 테스트하였고, 다기능 칩에 원하는 크기 값을 전달하기 위해 FPGA(Field Programmable Gate Array)를 사용하여 제어보드를

제작하여 TDM(Time Division Multiplexer) 방식을 통해 감쇄 값을 전달하고 제어 하였다. 이러한 방식을 통해, 본 논문에서는 다기능칩이 가진 하드웨어적 오차를 한 단계 상위인 디지털 제어 시스템 내에서 보정 알고리즘을 거쳐 다기능 칩이 가지고 있는 크기 값과 위상 값에 대한 Cross-Coupling의 오차를 최대한 줄이려고 하였다.

II. 관련 연구

2.1 다기능 모듈 성능 측정

다기능 칩의 성능 측정을 위해 증폭기와 필터를 이용하여 모듈화 하였다. 시험 구성은 그림 1에 나타내었다. 다기능 모듈의 필요 사항은 필요 전원 3.3V, -3.3V를 인가하였고, MFC를 제어하기 위한 노트 PC와 FPGA가 필요하며, RF 감쇄 측정을 위해 상용 계측기를 통해 감쇄 값을 측정하였다. 원하는 MFC 감쇄 값을 전달하기 위한 UI(User Interface)를 구성하여 감쇄 값을 FPGA로 RS-232 통신으로 전송하면 FPGA에서 그 값을 인식해 LVTTTL(Low Voltage Transistor-Transistor Logic) 신호 레벨로 변환하여 MFC에 입력하였다. 감쇄 보정 전, 측정기준 감쇄 제어 값 대비 실측값은 $\pm 1.75\text{dB}$ 가 측정되었다. 그림 2에 그래프로 표현 하였다. 오차가 발생하는 이유는 다기능 칩이 가지고 있는 Cross Effect 및 회로 내 비선형성 때문이다. Cross Effect는 MFC의 위상 가변 시 크기 값은 고정되어야하지만 변하는 효과이다.

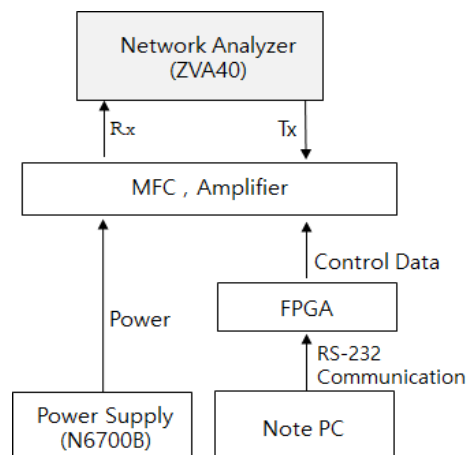


그림 1. 다기능 모듈 성능측정을 위한 구성도
Fig. 1. Configuration of the MFC test

다기능 칩을 테스트하기 위해 구성된 회로에는 대표적인 비선형 소자인 증폭기가 사용되었다[7][8]. 회로에 사용된 증폭기는 입력의 변화에 일정한 출력을 내보내기 위해 포화영역에서 동작을 시키도록 설계가 되었기에 비선형성이 더욱 증가하였다. 다기능 모듈 내에 위상 가변과 감쇄 가변 시, 서로 영향을 주기 때문에 위상을 1(5.625°)로 고정시켰을 때 MFC 감쇄 값을 0~31.5dB 가변 하는 것과 위상을 2(11.25°)로 고정 후 감쇄 값을 가변 하는 것이 조금 다른 특성을 가지기 때문에 위상을 1(5.625°)부터 가변의 마지막 값인 64(360°)까지 총 64번 가변하여 감쇄 값을 Sweep한 시험 데이터를 그림 2에 표현하였다.

그래프로 확인 할 수 있듯이, 위상 값을 더 많이 천이 시켜 놓을수록, 다기능 모듈 감쇄 값이 더욱

큰 오차를 보였다. 감쇄 값 0 ~ 5dB 구간과 10 ~ 20dB 구간, 27 ~ 31.5dB에서 큰 오차를 가진 특성을 확인을 할 수 있다. 오차를 가지게 되는 하드웨어적 원인은 표 1에 정리하였다.

그림 3은 다기능 모듈을 구성하고 있는 회로 블록도 이다. RF 경로는 SMP 커넥터를 거쳐 높은 입력력을 막아주는 제한기(Limiter)를 거친 RF 신호가 MFC로 들어가 감쇄 값을 적용 받는다.

표 1. 다기능 모듈 오차 생성
Table 1. MFC module error sources

	Error source	Error type
RF	Amplifier	Non-linear
	Resistor	Non-accurate
	Capacitor	Non-accurate
	MFC	RMS error

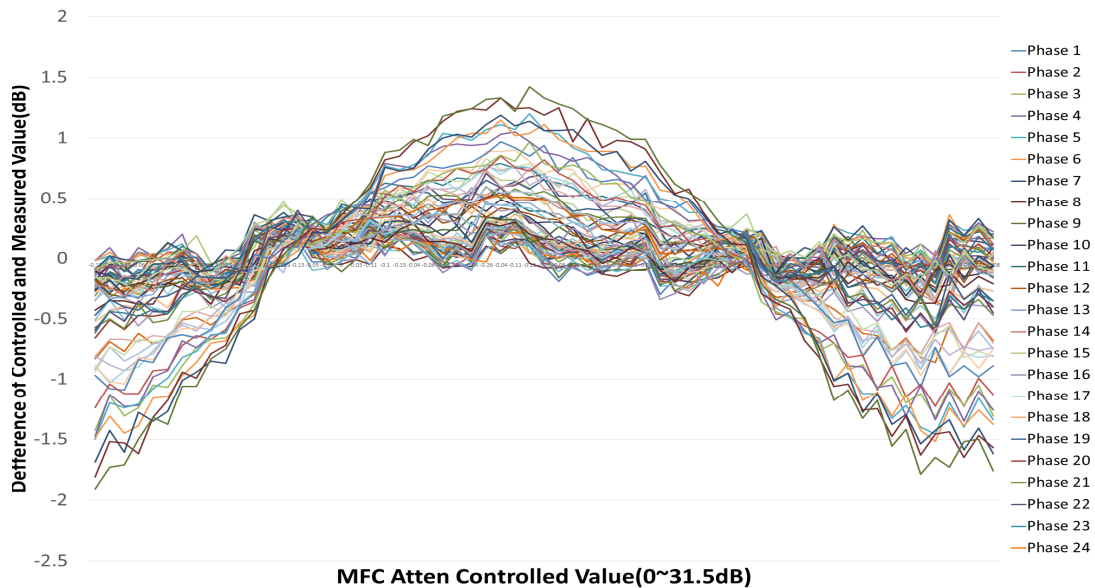


그림 2. MFC 감쇄 제어 값에 따른 실측 값
Fig. 2. Test result according to control data of MFC

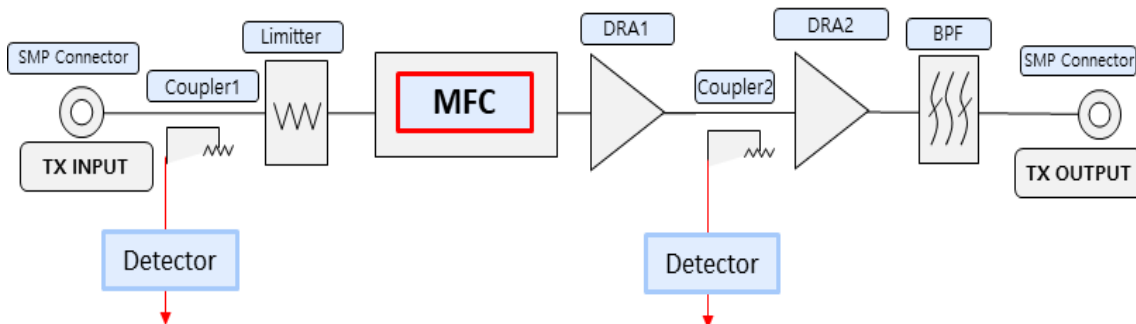


그림 3. 다기능 모듈 블록도
Fig. 3. MFC module block

이후 MFC의 출력 신호가 약 2단의 증폭기를 거쳐 신호가 증폭되고 마지막 대역 외 주파수를 제거하기 위한 대역통과필터(BPF, Band Pass Filter)를 거친 후, 최종 출력으로 나오게 된다. 대역통과필터를 사용한 이유는 측정 시, 원하는 주파수영역 이외의 불요파 및 하모닉 성분을 제거하여 조금 더 정확한 측정을 위해 회로 구현에 포함하였다. 일반적으로 RF 신호를 모니터링하기 위해 입/출력단에 RF 디텍터 회로를 추가를 하지만 본 논문에 사용된 회로는 버짓으로 인해 DRA1과 DRA2사이에 추가하였다. RF 디텍터는 RF 신호 검출용도의 특정 칩을 사용한 것이 아닌 공간 및 RF 경로의 격리도를 이용해 약 30 ~ 35dB의 커플링 값을 가지도록 설계하였다. 마지막으로 신호분석기(Spectrum analyzer)를 통해 그림 3의 블록도 입력과 출력을 SMP-SMA 커넥터를 이용해 측정을 하게 된다.

2.2 감쇄 보정 알고리즘 구현

그림 5는 보정을 진행하기 위한 알고리즘이고, 실제 MFC를 제어하기 해 저장된 초기 값은 그림 6, 알고리즘을 통해 생성된 값은 그림 7에 나타내었다. 여기서 진행하는 알고리즘은 보정 전 위상별 MFC 감쇄 값을 측정한 시험데이터가 기본이 된다.

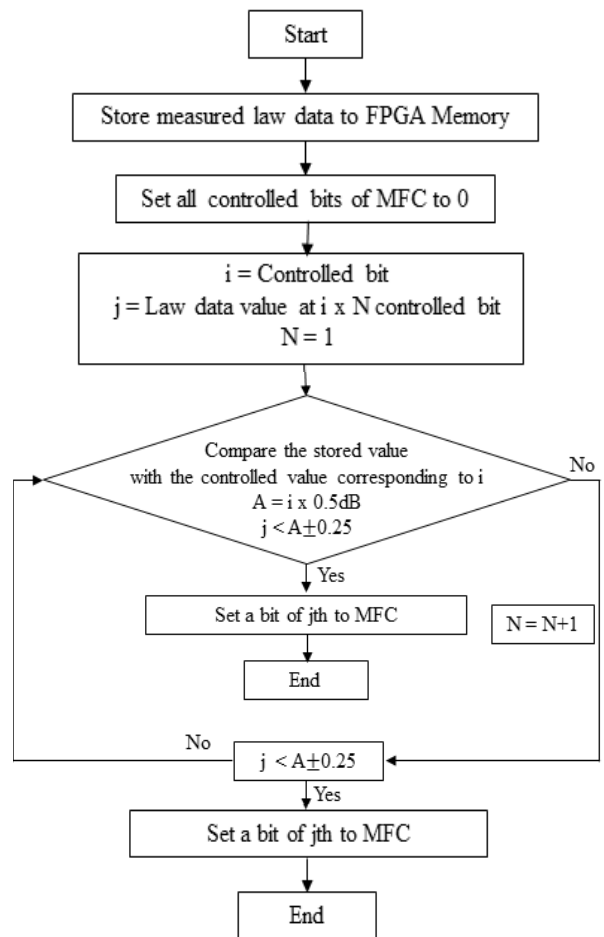


그림 5. 다기능 모듈 보정 알고리즘
Fig. 5. MFC module correction algorithm

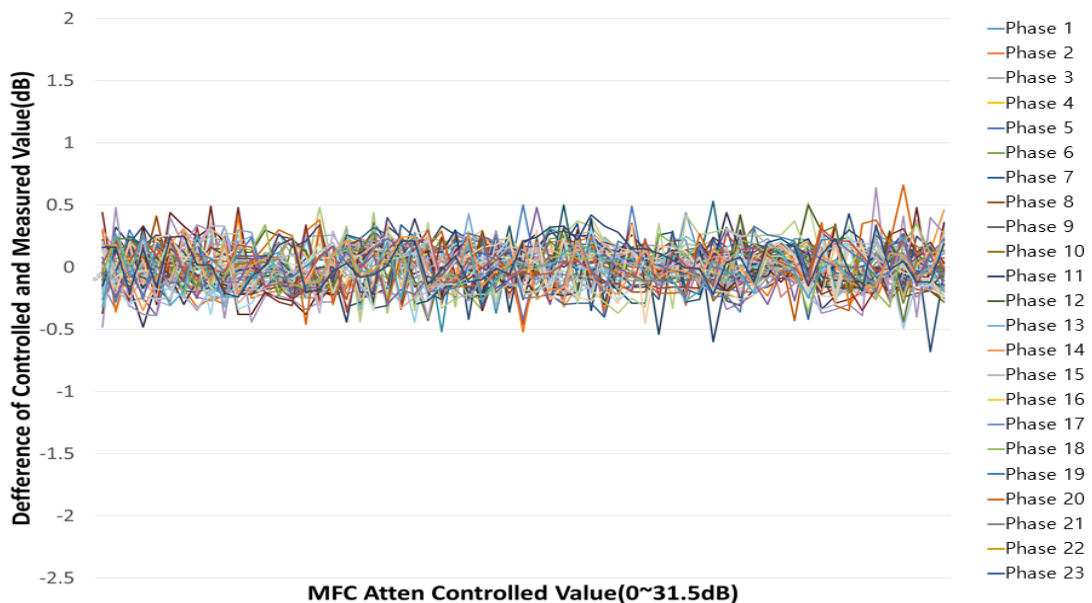


그림 4. 다기능 모듈 보정 알고리즘 시뮬레이션
Fig. 4. MFC module correction algorithm simulation

그림 6과 같이 초기 저장된 값을 이용해, 위상별로 측정된 감쇄 값을 64x64행렬로 만들어 FPGA 메모리에 저장을 한다. 노트북에서 UI를 통해 위상 값 1(5.625°), 감쇄 값 1(0.5dB)을 주게 되면 그 값을 받은 FPGA는 Flash Memory에 64x64행렬 형태로 저장되어있는 테이블에서 위상 값 1에 해당하는 행을 찾게 되고 위상 값 1행에서 감쇄 값을 0~31.5dB 까지 0.5dB 단위로 가변 해 측정된 데이터를 한 개씩 비교하게 된다. 이때 비교 값과 저장되어있는 데이터의 차이를 구해, 그 차이가 ±0.25dB 이하이면 그 값을 MFC 데이터 입력 값으로 전달하게 된다.

알고리즘의 차이 값을 ±0.25dB로 설정한 이유는 예를 들어 원하는 값이 5.5dB이면, 최소 가변단위가 0.5dB이므로 5.5dB의 이전 값은 6dB이고, 다음 값은 5dB가 된다. 이때 실측값이 5.75 ~ 5.25dB 사이 값이 측정 되었을 때의 명령 값을 테이블의 5.5dB에 설정하기에 알고리즘 차이 값을 ±0.25dB로 설정하였다. 이 알고리즘을 통해 생성된 새로운 비트 값은 그림 7에 나타내었다.

그림 7의 값을 시뮬레이션 도구(Matlab)를 통해 구현 시, 효과에 대해 예측해 볼 수 있다. 그림 4에

시뮬레이션 결과를 나타내었다. 매트랩 코드를 통해 그림 5의 알고리즘을 설계하여 시뮬레이션 상 결과는 원하는 값 대비 실제 값 차이의 최대치가 ±0.56dB로 예측되었다. 앞선 설명처럼 이론상 ±0.25dB가 가능지만, 기본 시험데이터에 특정 비트에 대한 실측값에 대해서는 원하는 값의 ±0.25dB내의 값이 없기에 알고리즘에 따라 그 다음 값을 찾아 적용 한 것이다. 보정 알고리즘 적용 후, 실제 값을 측정 한 결과는 그림 8에 나타내었다.

시뮬레이션 분석과 거의 일치하는 경향을 보였다. 초기 Proto 모델 제작 시, PCB 내의 RF 경로사이의 고립상태가 확보되지 않아 측정 시 위상 값의 오차가 거치는 경향을 보였는데, RF 경로사이에 순환기를 배치해 서로 다른 용도의 RF 경로에 격리도를 높여 측정 하드웨어 오차를 최대한 줄였다. 하지만 본 논문에서의 보정 알고리즘은 하드웨어 오차 특성이 반영하여 상위 시스템의 소프트웨어 단계에서 진행을 했기 때문에, 비선형성이 이미 보정알고리즘에 반영되어 시뮬레이션 값과 실제 측정값이 거의 유사하였다.

X-axis = Phase Bit(Degree) Y-axis = Atten Bit(dB)		0	1	2	3	57	58	59	60	61	62	63
	Expected Value	0	5.625	11.25	16.875	320.625	326.25	331.88	337.5	343.125	348.75	354.375
0	0	0	1	2	3	57	58	59	60	61	62	63
1	0.5	0	1	2	3	57	58	59	60	61	62	63
2	1	0	1	2	3	57	58	59	60	61	62	63
3	1.5	0	1	2	3	57	58	59	60	61	62	63
4	2	0	1	2	3	57	58	59	60	61	62	63
5	2.5	0	1	2	3	57	58	59	60	61	62	63
6	3	0	1	2	3	57	58	59	60	61	62	63
7	3.5	0	1	2	3	57	58	59	60	61	62	63
.
.
.
55	27.5	0	1	2	3	57	58	59	60	61	62	63
56	28	0	1	2	3	57	58	59	60	61	62	63
57	28.5	0	1	2	3	57	58	59	60	61	62	63
58	29	0	1	2	3	57	58	59	60	61	62	63
59	29.5	0	1	2	3	57	58	59	60	61	62	63
60	30	0	1	2	3	57	58	59	60	61	62	63
61	30.5	0	1	2	3	57	58	59	60	61	62	63
62	31	0	1	2	3	57	58	59	60	61	62	63
63	31.5	0	1	2	3	57	58	59	60	61	62	63

그림 6. 보정 전 저장된 MFC 크기 값
Fig. 6. Value stored attenuation before correction

X-axis = Phase Bit(Degree)	0	1	2	3	57	58	59	60	61	62	63
Y-axis = Atten Bit(dB)	0	5.625	11.25	16.875	320.625	326.25	331.88	337.5	343.125	348.75	354.375
Expected Value	0	5.625	11.25	16.875	320.625	326.25	331.88	337.5	343.125	348.75	354.375
0	8	9	10	11	2	3	3	5	6	7	7
1	8	10	11	12	2	3	4	4	5	6	7
2	8	10	11	12	2	3	4	4	5	6	7
3	9	10	11	12	2	3	4	4	5	7	8
4	9	10	11	12	2	3	4	4	5	7	8
5	9	10	11	12	2	3	4	4	6	7	8
6	9	10	11	12	2	3	4	5	6	7	8
7	9	10	11	12	3	2	4	5	6	7	8
.
.
.
55	8	9	10	11	1	2	4	4	5	6	7
56	8	9	10	11	1	2	4	5	5	6	7
57	8	9	10	11	1	2	4	5	5	6	7
58	8	9	10	11	1	2	3	5	5	6	7
59	8	9	10	11	2	4	3	5	5	6	7
60	8	9	10	11	2	3	4	5	6	7	7
61	9	9	11	12	2	3	3	4	6	7	8
62	8	9	10	11	2	4	3	5	6	7	7
63	8	9	10	11	2	3	3	5	6	7	7

그림 7. 보정 후 저장된 MFC 크기 값
Fig. 7. Value stored attenuation with correction

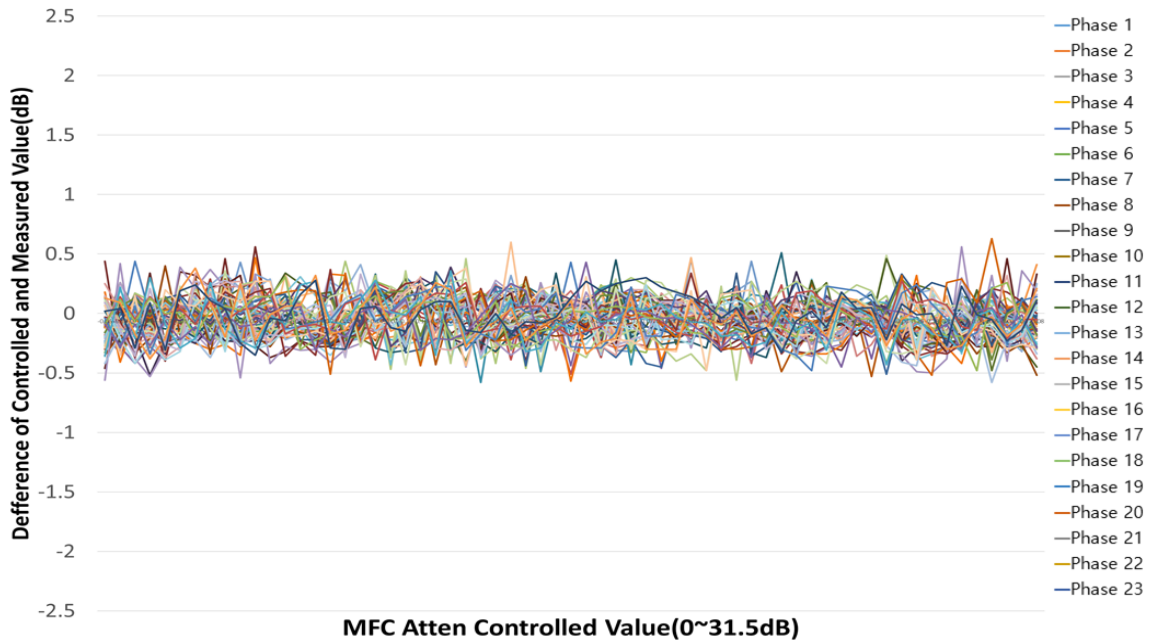


그림 8. 알고리즘 보정 후 실측 값
Fig. 8. Measured value after correction algorithm

2.3 측정 결과 분석 및 설계 유의사항

그림 9는 본 논문의 알고리즘을 검증하기 위해 제작된 증폭기가 포함된 다기능 모듈이다. 비선형성을 더욱 포함하기 위해, 비선형회로인 증폭기를 추

가하였고, 대역 외 주파수 성분을 제거하기 위해 BPF를 추가하여 대역 외 주파수 성분을 제거하였다. 제작된 모듈의 RF입력은 DRA에 입력해 MFC의 출력을 측정하였다.

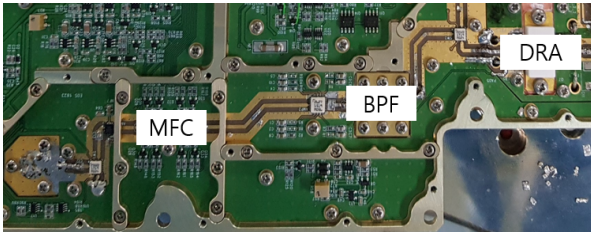


그림 9. 제작된 다기능 모듈
Fig. 9. Fabricated MFC module

측정 결과는 시뮬레이션 결과와 유사하게 나옴을 확인하였다. DRA가 들어간 RF 성능은 특별한 변화 없이 보정 전후 계측기 측정오차 정도의 작은 차이를 보였고, 실제 알고리즘이 포함된 RF 신호크기 차이가 MFC 감쇄 별 $\pm 1.75\text{dB}$ 에서 $\pm 0.61\text{dB}$ 로 상당히 개선됨을 확인 할 수 있었다. 송신이득은 약 21.7dB 가 측정되었고 표 2에 정리하였다.

표 2. 결과비교

Table 2. Result of comparison

Contents	Befoer	After
Tx gain	21.5dB	21.7dB
P1dB	-1.5dBm	-1.7dBm
Amplitude error	$\pm 1.75\text{dB}$	$\pm 0.61\text{dB}$

III. 결론 및 향후 과제

본 논문에서는 레이더용 다기능 모듈에 대한 크기 값 보정에 대해 설계 및 측정 결과까지 기술 하였다. 레이더에서 다기능 칩의 보정이 중요한 이유는 안테나 시스템에서 빔 조향 시 안테나 설계자가 원하는 빔 패턴이 형성 되지 않을시 목표에 대한 탐지율이 떨어지기 때문이다[9][10].

이 주엽과 부엽에 크기 차이를 주기 위해 다기능 칩의 크기 감쇄를 이용하게 되는데 안테나 빔 패턴 시뮬레이션과 가장 유사하게 나오기 위해서는 안테나 설계자가 원하는 감쇄 값과 실제 다기능 칩에서 적용된 감쇄 값이 동일해야 한다. 다르게 적용되면 설계자가 원하는 패턴이 형성되지 않기 때문에 본 논문의 주제와 같은 보정 알고리즘을 통해 가장 유사한 값이 적용되도록 하는 것이다.

본 연구의 결과를 요약하면 다음과 같다. 다기능 칩과 비선형성을 가진 소자를 이용해 RF회로를 구성하여 다기능 칩의 감쇄가 선형적으로 이루어지는

지 확인을 하였다. 확인된 비선형성을 보정 알고리즘을 통해 소프트웨어 단계에서 하드웨어적 기생성분 까지 고려한 비선형성을 개선하였다. 보정 전 감쇄 값에 대한 오차는 약 $\pm 1.75\text{dB}$ 였고, 보정 후 감쇄 값에 대한 오차는 약 $\pm 0.61\text{dB}$ 로 측정 되었다. 본 논문에서 적용한 다기능 칩 보정 알고리즘은 현대 개발 중인 레이더 신호처리 시스템에 널리 이용될 수 있을 것으로 사료된다.

References

- [1] Huy Toan Nguyen, Gwang Hyun Yu, Seung You Na, Jin Young Kim, and Kyung Sik Seo, "Real-time Moving Object Detection Based on RPCA via GD for FMCW Radar", The Journal of Korean Institute of Information Technology, Vol. 17, No. 6, pp. 103-114, Jun. 2019.
- [2] In-Pyung Jeun, Jae Hoon Bae, Kwang Yun Hwang, and Young Kil Kwag, "Pulse Doppler Airborne Radar Signal Measurement and Detection Performance Analysis Using High Speed Real-Time Data Acquisition System", International Technical Conference on Circuits Systems, Computers and Communications, Vol. 3, pp. 869-870, Jul 2005
- [3] R. Hendrix, "Aerospace System Improvements Enabled by Modern Phased Array Radar-2008", IEEE Int. Radar Conf., Rome, Italy, pp. 1-6, May 2008.
- [4] A. K. Agrawal et al., "Active Phased Array Antenna Development for Modern Shipboard Radar System", Johns Hopkins APL Tech. Dig., Vol. 22, No. 4, pp. 600-613, 2001.
- [5] Richards, M. A., "Fundamentals of Radar Signal Processing", McGraw-Hill Book Company, New York, 2005.
- [6] Chan Bong Park, "Development of 355 nm Rayleigh Lidar for Measurements of Temperature Vertical Profile over Daejeon City, Korea", The Journal of JAIRC, Vol. 7, No. 2, pp. 55-64, Dec. 2017.

[7] In-Ho Choi and Hee-Jung Roh, "Design of J-class Broadband Amplifier", The Journal of Korean Institute of Information Technology, Vol. 18, No. 3, pp. 59-65, Mar. 2020.

[8] Jimin Cheon, "A Low Voltage Bandgap Current Reference with Low Dependence on Process, Power Supply, and Temperature", The Journal of JAITC, Vol. 8, No. 2, pp. 59-67, Mar. 2018

[9] Venkata Kishore Kothapudi and Vijay Kumar, "Compact 1×2 and 2×2 Dual Polarized Series-Fed Antenna Array for X-Band Airborne Synthetic Aperture Radar Applications", Journal of Electromagnetic Engineering And Science, Vol. 18 No. 2, pp. 117-128, Apr. 2018.

[10] Jeom Hun Lee and Seung hyeub Oh, "Multi-beam Antenna Analysis", International Journal of Aeronautical and Space Sciences, Vol. 5, No. 2, pp. 71-76, Nov. 2004

박 병 준 (Byung-Jun Park)



2009년 2월 : 광운대학교
전자공학과(공학사)
2011년 2월 : 광운대학교
전자공학과(공학사)
2011년 1월 ~ 현재 : 한화시스템
시스템 부문 전문연구원
관심분야 : 위성통신 설계, RF
시스템, 능/수동 소자 회로 설계 등

저자소개

최 선 열 (Sun-Youl Choi)



2013년 2월 : 전북대학교
전자공학과(공학사)
2016년 8월 : 경북대학교
전자공학부(공학석사)
2016년 9월 ~ 현재 : 한화시스템
시스템 부문 선임연구원
관심분야 : RF 증폭기, RF

다기능칩, MMIC, Radar Hardware

이 복 형 (Bok-Hyung Lee)



1999년 2월 : 동국대학교
전자공학과(공학사)
2001년 2월 : 동국대학교
전자공학부(공학석사)
2006년 2월 : 동국대학교
전자공학부(공학박사)
2006년 2월 ~ 현재 : 한화시스템

시스템 부문 수석연구원

관심분야 : 능동 위상 배열 시스템, RFIC, RF 고출력 증폭기 설계, 송수신 Front-End 설계