Check for updates

Journal of KIIT. Vol. 18, No. 3, pp. 59-65, Mar. 31, 2020. pISSN 1598-8619, eISSN 2093-7571
http://dx.doi.org/10.14801/jkiit.2020.18.3.59

광대역 J급 증폭기의 설계

최인호*, 노희정**

Design of J-class Broadband Amplifier

In-Ho Choi*, Hee-Jung Roh**

요 약

본 논문에서는 고효율특성을 갖는 J급 증폭기를 설계하였다. 전력 증폭기의 효율을 향상시키는 방법으로 고차 기생성분을 단락시키는 방법을 많이 사용한다. F급 증폭기는 홀수차의 고주파 성분을 단락시키고, E급 증폭기는 짝수차 고주파를 단락시킨다. J급 증폭기는 E급 과 F급 증폭기의 2차 또는 3차 고주파성분만 남기고 다른 성분의 단락하여 제작한 증폭기이다. 설계된 J급 증폭기의 측정 결과는 입력 전력이 15dBm 일 때 최대 출력 전력은 31.5dBm이고, 이득은 16.5dB, 최소 출력 전력은 29.8dBm보였다. 최대 드레인 효율은 2.95GHz에서 75.49%이고 최소 드레인 1.6GHz 효율은 55.68%이다. 1.6GHz~3.2GHz 주파수 대역에서 평균 이득 15.35dB과 평균 드레인 효율 66%를 나타내었다.

Abstract

In this paper, a class J amplifier with high efficiency is designed. As a method of improving the efficiency of a power amplifier, many methods of shorting high-order parasitic components are used. Class F amplifiers short the odd-order high frequency components, and Class E amplifiers short the even-order high frequencies. Class J amplifiers are short circuits of other components, leaving only the secondary or tertiary high frequency components of class E and class F amplifiers. The measured results of the designed class J amplifier showed that the maximum output power was 31.5dBm, the gain was 16.5dB, and the minimum output power was 29.8dBm when the input power was 15dBm. Maximum drain efficiency is 75.49% at 2.95GHz and minimum drain 1.6GHz is 55.68%. In the 1.6GHz to 3.2GHz frequency band, the average gain is 15.35dB and the average drain efficiency is 66%

Keywords
J-class amplifier, e-class amplifier, F-class amplifier, high efficiency, parasitic component.

Ⅰ. 서 론

최근에 도입된 5G는 광대역의 휴대하기 간편한 통신시스템으로 배터리의 중요성이 이슈화되고 있다. 배터리 기술의 발전 문제이 매우 빠르게 발전하고 있지만 배터리의 용량은 제한적일 수 밖에 없다. 이 문제를 해결하기 위하여 시스템의 전력소비량을 줄이기 위한 다양한 전력증폭기의 효율향상을 연구

* 김포대학교 정보통신과 교수
- ORCID: http://orcid.org/0000-0002-1449-3374
** 김포대학교 사이버보안과 교수(교신저자)
- ORCID: http://orcid.org/0000-0001-7011-1599

· Received: Feb. 05, 2020, Revised: Mar. 11, 2020, Accepted: Mar. 14, 2020
· Corresponding Author: Hee-Jung Roh
Dept. of Cyber security, Kimpo University, 97,
Gimpodaehak-ro, Gimpo-si, 10020, Republic of Korea
Tel.: +82-31-999-4208, Email: june@kimpo.ac.kr

가 진행되고 있다. 효율향상을 방법으로 출력전력을 증가시키고 DC 전력손실을 최소화 하는 것이며 [1]-[3], 또 다른 방법으로 F급 증폭기는 홀수차 고조파 성분을 출력단에서 개방하고, 짝수차 고조파성분을 단락시켜서 드레인 출력 전압 파형을 구형파로 만드는 방법이다. E급 증폭기는 F급 증폭기의 반대적 기능을 이용하는 방법이다.

그러나 그림 1의 FET의 출력단에 기생하는 커패시턴스로 인해 높은 고조파의 제어가 어렵게 된다. 따라서 E급 증폭기나 F급 증폭기를 설계 시에 동일한 현상이 발생한다. 이러한 문제를 해결하기 위하여 E급 또는 F급 증폭기의 회로 설계에서 2차만 통과시키고 3차 고조파이상을 단락하는 J급 증폭기가 제안되었다[4][5].

II. 본 론

J급 증폭기의 이론적 배경으로 그림 1의 J급 증폭기의 블럭도로 FET의 출력단에 커패시턴스 Cds [4]를 연결하여 출력단에 기본파와 2차 고조파 임피던스만 출력되고, 3차 고조파이상의 주파수는 단락시켜 출력되지 않도록 설계했다. 출력단의 기본파 임피던스와 2차 고조파 임피던스를 식 (1)과 식 (2)로 표현한다[6].

식 (1)과 식 (2)가 출력단에 직류성분, 기본 주파수와 2차 고조파만 출력되는 경우 출력 드레인 전류는 식 (3)으로 표현할 수 있다[7].

$$Z_{f0} = R_L + jR_L \tag{1}$$

$$Z_{2fo} = 0 - j\frac{3\pi}{8}R_L \tag{2}$$

식 (3)을 (4)~(6)과 같이 직류전류로 정규화하여 쓸 수 있다.

$$\begin{aligned} I_{ds}(\theta) &= I_{dc} + I_{fund} + I_{\mathrm{second}} \\ &= I_{dc}\left(1 + \frac{\pi}{2}\sin(\theta) - \frac{2}{3}\cos(2\theta)\right) \end{aligned} \tag{3}$$

$$I_{dc} = 1 \tag{4}$$

$$I_{fund} = \frac{\pi}{2}\sin(\theta) \tag{5}$$

$$I_{\mathrm{second}} = -\frac{2}{3}\cos(2\theta) \tag{6}$$

드레인 전압은 식 (7)로 표현된다[8].

$$V_{ds}(\theta) = 1 + Asin(\theta) - Bcos(2\theta) \tag{7}$$

여기서 A는 기본파의 전압 크기이고, B는 2차 고조파의 전압 크기이다.

식 (3)에서 식 (7)까지 사용한 기호의 의미는 $I_{ds}(\theta)$는 드레인 전류, I_{dc}는 직류 전류, I_{fund}는 기본 주파수의 전류, I_{second}는 2차 고조파의 전류이다.

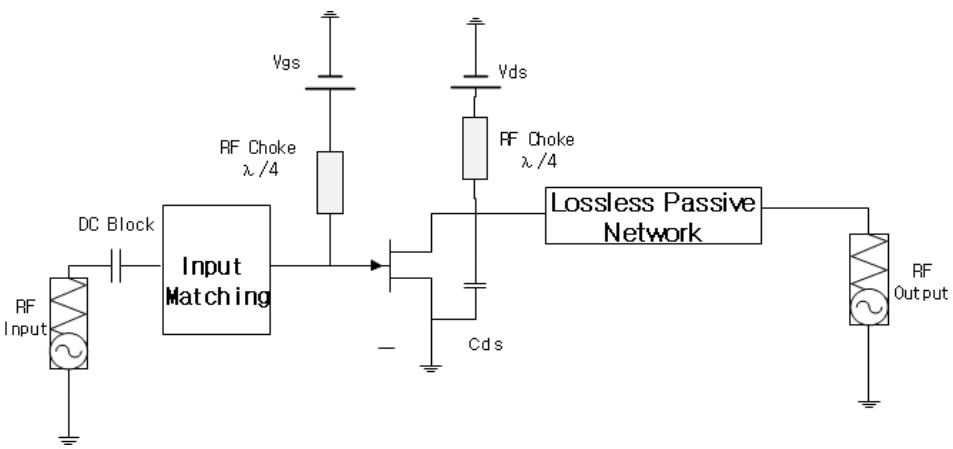

그림 1. J급 증폭기의 블록도
Fig. 1. Block diagram of J-class amplifier

식 (5)로 표시되는 드레인 전류와 식 (7)로 표시되는 드레인 전압의 기본파는 서로 180도 위상차를 임을 알 수 있으며, 식 (6)의 2차 고조파의 드레인 전류와 식 (8)의 2차 고조파 드레인 전압의 와 360도 위상차를 보이게 된다. 이러한 차이는 증폭기의 회로구성에 의해 결정된다.

2차 고조파의 출력단 부하가 용량성 저항성분이면 식 (8)의 2차 고조파 전압파가 식 (6)의 드레인 전류의 위상보다 $\frac{\pi}{4}$ 앞선다.

$$V_{second} = -B\cos\left(2\theta+\pi-\frac{\pi}{2}\right) = -B\cos\left(2\left(\theta+\frac{\pi}{4}\right)\right) \tag{8}$$

위의 식에서 B는 V_{second}의 진폭이며 식 (8)로 표시되는 2차 고조파와 식 (9)로 표현되는 기본 주파수의 피크 전압 값이 동시에 발생하려면 출력단 부하에 기본 전압파가 식 (9)을 통하여 드레인 전류의 위상보다 45도 늦어야 함을 알 수 있다.

$$V_{fund} = Asin\left(\theta+\pi+\frac{\pi}{4}\right) \tag{9}$$

출력 전압과 전류는 동위상(In-phase)임을 알 수 있으며 식 (9)를 통하여 직류 성분이 없음을 알 수 있으며, 식 (10)에서 식 (12)를 활용하여 J급 증폭기의 출력 전력과 효율 계산을 할수 있다.

직류 전력의 손실계산은 드레인 전류과 전압의 직류 성분을 이용하면 식 (10)을 이용하여 계산할 수 있다

$$P_{dc} = I_{dc}V_{dc} = \frac{I_{peak}}{\pi}V_{dc} \tag{10}$$

부하의 출력 전압과 전류를 알면 식 (11)과 같이 출력 전력을 계산할 수 있다.

$$P_{out} = \frac{1}{2}Re\left[V_{fund_out}conj(I_{fund_out})\right] = \frac{1}{2}Re\left[A\,V_{dc}e^{jw(\frac{\pi}{4})}\frac{I_{peak}}{2}\right] = \frac{I_{peak}V_{dc}}{4}\cos\left(\frac{\pi}{4}\right)A \tag{11}$$

드레인 효율은 식 (10)과 식 (11)을 이용하여 식 (12)와 같이 계산할 수 있다.

$$\eta = \frac{P_{out}}{P_{dc}} = \frac{\pi}{4}\frac{1}{\sqrt{2}}A \tag{12}$$

식 (12)에서 A가 최대값이 되어야만 효율도 최대값을 갖게된다. 따라서 A의 최대값은 $\sqrt{2}$이므로 최대 효율은 식 (13)과 같이 약 78.5%로 계산이 된다.

$$\eta_{\max} = \frac{P_{out}}{P_{dc}} = \frac{\pi}{4}\frac{1}{\sqrt{2}}\sqrt{2} = \frac{\pi}{4} \approx 78.5\% \tag{13}$$

식 (13)에 의거하여 J급 증폭기의 이론적인 계산치는 최대 드레인 효율은 78.5%이므로 이 최대값은 식 (12)에서 A는 $\sqrt{2}$, B는 1/2이 되어야 한다.

드레인 전압은 다음 식과 같다

$$V_{drian}(\theta) = V_{dc} + \sqrt{2}\,V_{dc}\sin\left(\theta+\pi+\frac{\pi}{4}\right) - \frac{1}{2}V_{dc}\cos\left(2\theta+\pi-\frac{\pi}{2}\right) \tag{14}$$

$$V_{fund} = \sqrt{2}\,V_{dc}\sin\left(\theta+\pi+\frac{\pi}{4}\right) \tag{15}$$

$$V_{second} = -\frac{1}{2}V_{dc}\cos\left(2\theta+\pi-\frac{\pi}{2}\right) \tag{16}$$

위 식의 π는 회로에 의해 결정되므로 부하를 계산할 경우 식 (15)와 (16)에서 π를 제거하면 식 (17)과 식 (18)식을 얻을 수 있다. 식 (17)과 식 (18)을 통하여 기본파와 2차 고조파의 부하를 구할 수 있다.

$$Zload_{fund} = \frac{2\sqrt{2}\,V_{dc}}{I_{peak}}\angle\,\frac{\pi}{4} \tag{17}$$

$$Zload_{second} = \frac{3\,V_{dc}\pi}{4I_{peak}}\angle\,-\frac{\pi}{2} \tag{18}$$

또 다른 방법으로 2차 고조파의 부하를 유도성 저항성분으로 선택하여 식 (17)과 식 (18)과 같이 유도하면, J급 증폭기 동작의 두 가지 방법으로 부하를 계산할 수 있다.

$$Z\!load_{fund} = \frac{2\sqrt{2}\,V_{dc}}{I_{peak}} \angle \pm \frac{\pi}{4} \tag{19}$$

$$Z\!load_{\mathrm{sec}ond} = \frac{3\,V_{dc}\pi}{4I_{peak}} \angle \mp \frac{\pi}{2} \tag{20}$$

$$P_{outpeak} = \frac{1}{4}\,V_{dc}I_{peak} \tag{21}$$

최대 전력 부하는 식 (22)와 식 (23)으로 계산이 가능하다.

$$Z_{fund} = \frac{V_{dc}^2}{\sqrt{2}\,P_{outpeak}} \angle \pm \frac{\pi}{4} = R_L \pm jR_L \tag{22}$$

$$Z_{\mathrm{sec}ond} = \frac{3\pi\,V_{dc}^2}{16P_{outpeak}} \angle \mp \frac{\pi}{2} = 0 \mp j\frac{3\pi}{8}R_L \tag{23}$$

J급 증폭기는 0이 아닌 유한한 리엑티브 2차 종단 임피던스와 리엑티브 기본주파수 임피던스를 가지고 있다. 광대역 증폭기를 설계하기 위하여 광대역 주파수 변화에 따라서 J급 증폭기 특성에서 B급 증폭기 특성으로 변화하고 다시 J급 증폭기 특성으로 변화시키도록 하였다. 변화하는 주파수 대역에서 일종의 연속성을 가지고 있으며. 이 연속성에 의해 B급 증폭기 및 J급 증폭기는 유사한 효율을 유지한다[8]. 이 연속성에 의하여 J급 증폭기의 전압 파형 표현식 (24)와 같이 쓸 수 있다.

$$V_J(\theta) = 1 - \cos\theta - \sin\theta + \frac{1}{2}\sin 2\theta \tag{24}$$

식 (24)를 정리하면 다음과 같다.

$$V_J(\theta) = (1-\cos\theta)(1-\sin\theta) \tag{25}$$

J급 증폭기와 일정한 효율과 출력전력을 가진 B급 증폭기의 전압파형을 수식으로 표현하면 식 (26)으로 쓸 수 있다.

$$V_{(\theta)} = (1-\cos\theta)(1-\alpha\sin\theta) \tag{26}$$

식 (26)에서 α=-1일 경우 J급 증폭기로 α=0일 경우 B급 증폭기로 α=1일 경우 J급 증폭기로 동작하므로 전압 파형은 식 (27)로 표현할 수 있다.

$$V_{(\theta)} = (1-\cos\theta)(1\pm\sin\theta) \tag{27}$$

J급 증폭기는 1차, 2차 고조파를 식 (22), (23)으로 표현된다. 수식을 보면 증폭기의 동작 가능한 대역폭을 알 수 있다. 따라서 그림 1의 출력단의 임피던스는 저항 성분을 제거한 순수한 유도성 저항성분만 있어야 한다[9].

III. J급 증폭기 설계 및 시뮬레이션 결과분석

본 논문에서는 Agilent사의 ATF-50189와 ATF-54143를 사용하여 유전율이 3.5이고 유전체 두께 0.76mm인 테플론 기판에 광대역 J급 전력증폭기에 그림 1을 ADS를 활용하여 그림 2와 같이 설계하였으며 최대전력전송을 위한 부하의 임피던스 점을 설계하기 위하여 입력단과 출력단에 로드 풀 모의실험을 이용하여 입출력정합회로를 설계후 최적화 방법을 이용하여 시뮬레이션하였다.

J급 증폭기의 특성에 따라 최종 광대역 증폭기 설계하는 방법은 1.6GHz에서 J급 증폭기 특성을 갖도록 설계하고 2.0GHz에서 B급 증폭기 특성, 3.0GHz에서 다시 J급 증폭기의 특성을 갖도록 설계한다.

본 논문의 J급 증폭기의 설계는 2차 고조파의 요구 임피던스 값은 식 (23)으로 나타낼 수 있다[10].

J급 증폭기를 설계목표는 아래의 목표 사양을 표 1과 같이 결정하였다. 설계목표를 만족하는 증폭기를 설계하기 위하여 일단 증폭기로는 불가능하여 본 논문에서는 2단 증폭기를 활용하여 설계목표를 달성하였다.

표 1. 설계목표
Table 1. Design goal specifications

Item	1-stage Amp.	2-stage Amp.	unit
frequency	1.6~3.0(>60%)	1.6~3.0(>60%)	GHz
Power gain	>6	>15	dB
Output power	>30	>30	dBm
Drain efficiency	>65	>65	%

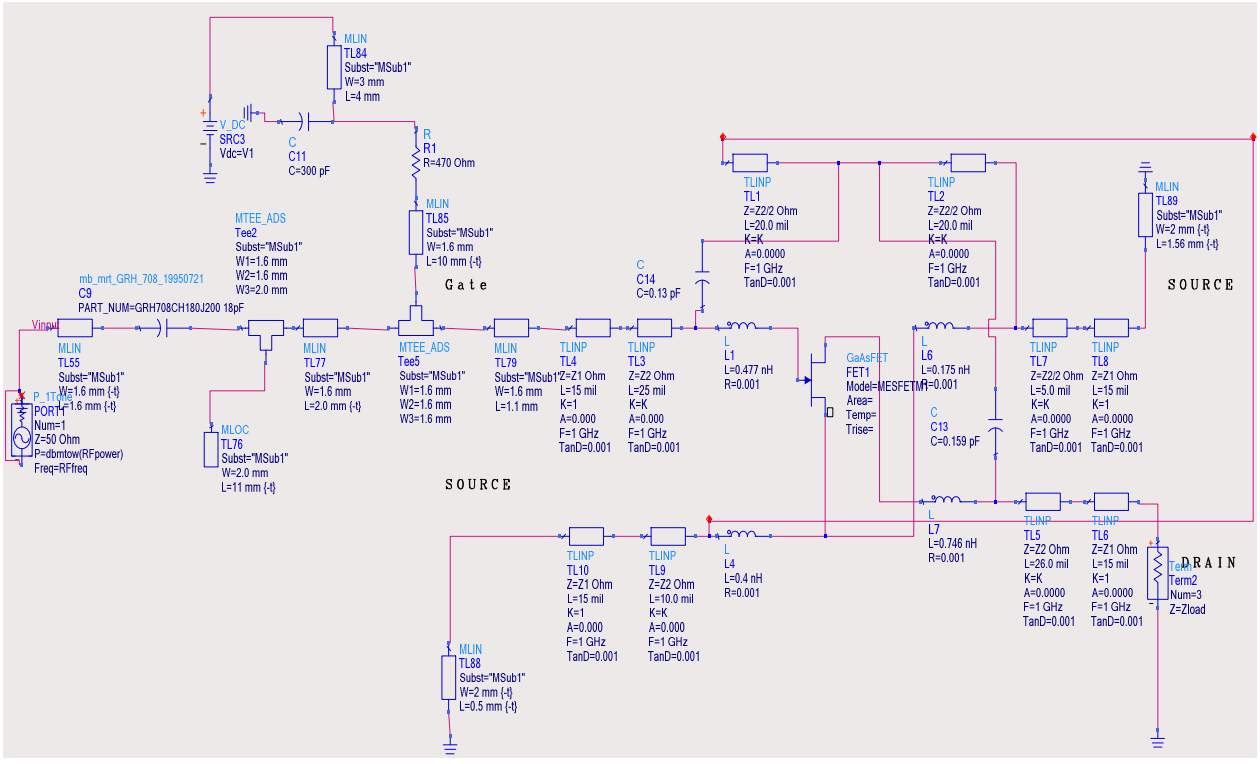

그림 2. 1단 J급 증폭기 설계도
Fig. 2. Schematic of 1-stage J-class amplifier

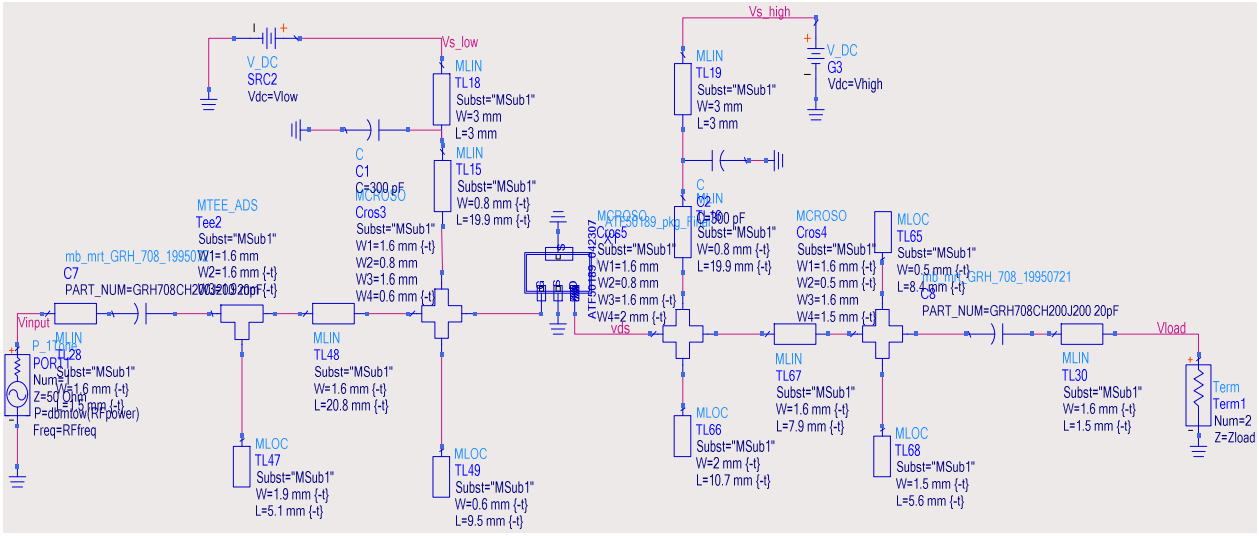

그림 3. 2단 J급 증폭기 설계도
Fig. 3. Schematic of 2-stage J-class amplifier

이때 그림 2의 일단 증폭기는 1.6GHz에서 3.2GHz 까지의 주파수 대역 내에서 24dBm 전력이 인가되었을 때 출력 전력이 30dBm 이상, 드레인 효율(DE)이 64% 이상, 전력 부가 효율(PAE)이 최소 50%을 갖도록 설계하였으며 2단 증폭기에서는 5dBm 입력전력이 인가되었을 때 1.6GHz에서 3.0GHz 까지의 주파수 대역내에 최대 17.0dB 최소 15.3dB의 이득을 얻었고 1단 증폭기보다 2배 이상의 이득을 얻었다.

1단 증폭기의 평균 출력전력은 30.2dBm이고 2단 증폭기 평균 출력 전력은 30.35dBm이므로 증폭기 설계 목표를 만족하였다.

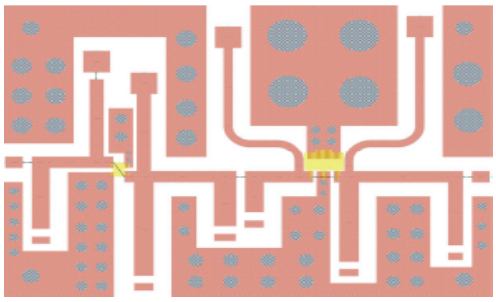

그림 4. J급 증폭기의 레이아웃
Fig. 4. Layout of J-class amplifier

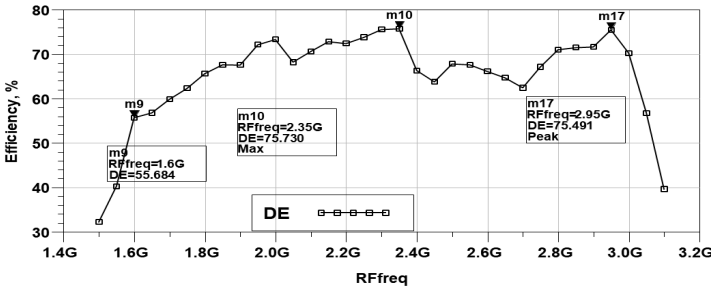

그림 6. J급 증폭기의 시뮬레이션된 드레인 효율값
Fig. 6. Simulated drain efficiency of J-class amplifier

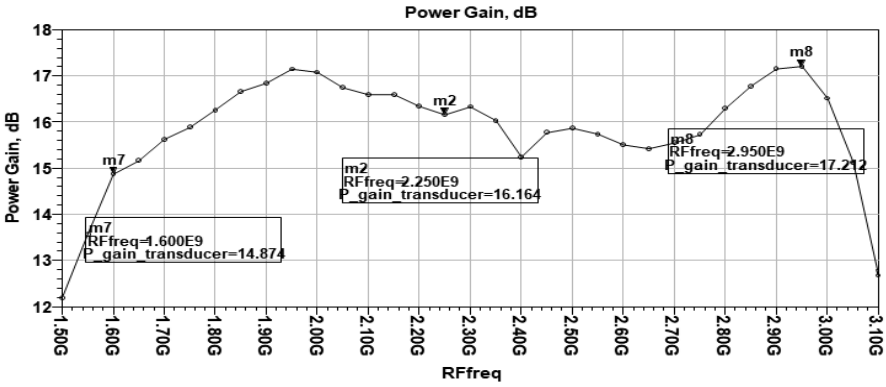

그림 5. J급 증폭기의 시뮬레이션된 이득 값
Fig. 5. Simulated gain of J-class amplifier

설계된 1단 전력증폭기 최대 드레인 효율은 2.4GHz에서 70.8%이고 평균 드레인 효율은 65.5%이며, 그림 2와 그림 3을 연결한 2단 전력증폭기 최대 드레인 효율은 2.9GHz에서 76.2%이고 평균 드레인 효율은 66%이다. J급 증폭기의 광대역에서 높은 효율을 유지할 수 있는 특성을 확인할 수 있다.

그림 4는 그림 2와 그림 3을 결합하여 설계한 완전한 J급 증폭기의 레이아웃(layout)이다. 그림 5은 J급 증폭기의 드레인 효율 시뮬레이션 결과를 보여주고 있다. 1.6GHz와 3.2GHz 주파수 대역에서 55.68%에서 75.49% 이상의 드레인 효율을 얻었다. 그림 6는 J급 증폭기를 시뮬레이션을 통하여 얻은 이득으로, 15dBm 입력전력을 인가하였을 때 1.6GHz에서 14.87dB의 이득을 3.0GHz 주파수 대역에서 최대 17.21dB의 이득을 얻었다.

Ⅳ. 결 론

본 논문에서는 1.6GHz에서 3.2GHz까지 주파수대역에서 FET(Field Effect Transistor)의 비선형 특성을 이용하여 광대역 특성을 보이는 J급 전력 증폭기를 설계하였다. J급 증폭기는 FET의 드레인-소스간 기생용량 성분(Cds)을 활용하여 출력단에서 기본파와 2차 고조파는 출력되도록 임피던스를 조절하고, 3차 고조파는 단락을 시켜 출력단에 나타나지 않도록 임피던스를 설계한다. 본 논문과 참고논문 [4]는 입력주파수와 동작전압과 출력전력이 달라 직접적인 비교는 어렵고, 본 논문이 시뮬레이션 값으로 직접적인 비교는 불가능하지만 참고논문과 비교하면 참고논문이 65%의 드레인 효율임을 보이며 본 논문의 시뮬레이션 효율은 75.5%를 보여 10% 정도의 드레인 효율이 향상되었음을 보여주고 있다. 본 논문에서 연구한 J급 전력증폭기는 광대역에서 높은 특성을 보임으로 5G 이동통신 대역의 저 대역에서 활용이 가능할 것으로 보인다.

본 논문과 참고논문 [4]는 입력주파수와 동작전압과 출력전력이 달라 직접적인 비교는 어렵고, 본 논문이 시뮬레이션 값으로 직접적인 비교는 불가능하지만 참고논문과 비교하면 참고논문이 65%의 드레인 효율임을 보이며 본 논문의 시뮬레이션 효율

은 75.5%를 보여 10% 정도의 드레인 효율이 향상되었음을 보여주고 있다. 본 논문에서 연구한 J급 전력증폭기는 광대역에서 무난한 특성을 보임으로 5G 이동통신 대역의 저 대역에서 활용이 가능할 것으로 보인다.

References

[1] M. Iwamoto and A. Williams, et al., "An extended Doherty amplifier with high efficiency over a wide power range", IEEE Transactions on Microwave Theory and Techniques, Vol. 49, No. 11, pp. 2472-2479, Jan. 2002.

[2] J. Staudiger, "Applying switched gain stage concepts to improve efficiency and linear for mobile CDMA power amplification", Microwave Journal, Vol. 43, No. 9, pp. 152-162, Sep. 2000.

[3] Gary Hanington, "High-Efficiency Power Amplifier Using Dynamic Power-Supply Voltage for CDMA Applications", IEEE Transactions on Microwave Theory Techniques, Vol. 47, No. 8, pp. 1471-1476, Aug. 1999.

[4] Jae-Duk Kim and Hyoung-Jong Kim, et al., "Design of High Efficiency Class-J mode Power Amplifier using GaN HEMT with Broad-band Characteristic", The Journal of The Korea Institute of Intelligent Transport Systems, Vol. 10, No. 6, pp. 71-78, Dec. 2011.

[5] Eun-Jae Lim and Chan-Se Yoo, et al., "Wideband Class-J Power Amplifier Design Using Internal Matched GaN HEMT", The Journal of Korean Institute of Electromagnetic Engineering and Science, Vol. 28, No. 2, pp. 105-112, Feb. 2017.

[6] P. Wright, J. Lees, J. Benedikt, P. J. Tasker, and S. C. Cripps, "A Methodology for Realizing High Efficiency Class J in a Linear and Broadband PA", IEEE Transactions on Microwave Theory and Techniques, Vol. 57, No. 12, pp. 3196-3204, Dec. 2009.

[7] T. Zhang, "Wideband Hybrid-Class Power Amplifier for Base Station Applications Using LDMOS with Envelope Tracking system", Delft University of Technology, pp. 11-12, Jul. 2009.

[8] S. C. Cripps, P. J. Tasker, A. L. Clarke, J. Lees, and J. Benedikt, "On the continuity of high efficiency modes in linear RF power amplifier", IEEE Microwave and Wireless Components Letters, Vol. 19, No. 10, pp. 665-667, Oct. 2009.

[9] Morteza. S. Alavi and Fred van Rijs, et al., "Efficient LDMOS Device Operation for Envelope Tracking Amplifiers through Second Harmonic Manipulation", 2011 IEEE MTT-S International Microwave Symposium, Baltimore, MD, USA, pp. 1-4, Jun 2011.

[10] Junghwan Moon, Jungjoon Kim, and Bumman Kim, "Investigation of a Class-J Power Amplifier With a Nonlinear C_{out} for Optimized Operation", IEEE Transactions on Microwave Theory and Techniques, Vol. 58, No. 11, pp. 2800-2811, Nov. 2010.

저자소개

최 인 호 (In-Ho Choi)

1990년 2월 : 경희대학교 전자공학과(공학사)
1992년 2월 : 경희대학교 전자공학과(공학석사)
2000년 2월 : 경희대학교 전자공학과(공학박사)
1996년 3월 ~ 현재 : 김포대학교 정보통신과 부교수
관심분야 : 신호처리, 유비쿼터스, IoT

노 희 정 (Hee-Jung Roh)

1985년 2월 : 아주대학교 전자공학과(공학사)
1995년 7월 : 서울시립대학교 제어계측공학과(이학석사)
2010년 2월 : 국립인천대학교 전자공학과(공학박사)
1998년 ~ 현재 : 김포대학교 사이버보안과 부교수
관심분야 : 운영체재, 보안, 네트워크