



아날로그 IC에 응용 가능한 높은 PSRR과 높은 구동전류를 갖는 LDO 레귤레이터 설계에 관한 연구

김성호*, 손상희**

A Study on Low-DropOut(LDO) Regulator Design with High PSRR and High Driving Current for Analog IC Applications

Sung-Ho Kim*, Sang-Hee Son**

“이 논문은 2018~2019학년도에 청주대학교 산업과학연구소가 지원한 학술연구조성비(특별연구과제)에 의해 연구되었음”, 본 논문은 IDEC에서 EDA Tool을 지원받아 수행한 것임

요 약

본 논문에서는 외부 커패시터가 없는 LDO 회로에 밀러 커패시터를 사용하여 안정성을 증대할 수 있는 구조를 제시하였다. 밀러 커패시터와 병렬로 별도의 전압 증폭기를 연결한 구조를 제시하였고, 폴디드 캐스코드 방식을 사용한 오차증폭기를 사용하여 전압이득을 증가시켰다. 또한, 높은 주파수 대역에서 PSRR 성능을 향상시켜 일정한 전압을 얻을 수 있도록 밴드갭 레퍼런스 회로의 출력과 오차증폭기 입력사이에 필터를 추가하여 리플 전압의 유입을 막았다. 패스 트랜지스터의 기판전압에 높은 전압을 인가시키는 방법을 사용한 바디 효과를 사용하여 고주파영역에서 PSRR 특성을 향상시킴과 더불어 큰 부하전류의 공급을 가능하게 했다. 본 논문에서 제안한 회로는 0.18um TSMC CMOS 공정변수를 사용하여 시뮬레이션을 수행하여 검증하였다.

Abstract

In this paper, we proposed a structure that can increase stability by using miller capacitor in LDO circuit without external capacitor. A separate voltage amplifier is connected in parallel with the miller capacitor is proposed and the voltage gain is increased by using an error amplifier with the folded cascode structure. In addition, a filter is added between the output of the bandgap reference circuit and the input of the error amplifier so as to obtain a constant voltage by improving the PSRR performance in the high frequency band, thereby preventing the inflow of the ripple voltage. By using a body effect using a method of applying a high voltage to the substrate voltage of the pass transistor, the PSRR characteristic is improved in a high frequency region and a large load current can be supplied. The proposed circuit in this paper was simulated and verified with 0.18um TSMC CMOS process parameters.

Key words

PMIC, LDO, PSRR(power supply rejection ration), analog IC

* 청주대학교 반도체공학과
 - ORCID: <https://orcid.org/0000-0001-5560-0191>
 ** 청주대학교 반도체공학과 교수
 - ORCID: <https://orcid.org/0000-0003-4392-066X>

· Received: Jan. 31, 2019, Revised: Apr. 09, 2019, Accepted: Apr. 12, 2019
 · Corresponding Author: Sang-Hee Son
 Dept. of Semiconductor Eng., Cheongju University, Korea,
 Tel.: +82-43-229-8464, Email: shson@cju.ac.kr

1. 서 론

소형화, 고기능화 회로에서 다양한 입력 전압과 공급 전압들을 필요로 하게 됐으며 세밀한 전압의 공급이 중요한 요소가 되었다. 이에 따라 반도체 전력기반 시스템인 PMIC(Power Management IC)가 설계 부분에서 중요한 요소로 대두되게 되었다[1].

PMIC는 일반적으로 배터리, 스위칭 컨버터, LDO(Low-DropOut)레귤레이터 로 구성이 되며 레귤레이션 기능은 효율적인 측면을 고려해 DC-DC 변환기를 사용하지만 DC-DC 컨버터는 스위칭 시간으로 인해 정착시간이 길어 빠른 동작이 힘들고 스위칭 노이즈의 존재로 인해 미세 조정이 어렵다. 또한, 인덕터를 사용하여 변환효율이 좋은 이점이 있지만 리플 전압이 크기 때문에 세밀한 전압을 만들기가 어렵다. 이로 인해 추가적으로 출력단에 LDO 레귤레이터를 추가하여 리플 값이나 노이즈에 강하고 일정한 전원을 시스템에 공급한다.

최초의 LDO 레귤레이터는 효율이 좋지 않아서 단지 안정된 전원에 초점이 맞추어졌지만 최근에는 소형화에 초점이 맞춰지게 되었고, 외부에 커패시터를 사용하는 캡리스 LDO가 중심으로 연구가 되었다. 하지만 캡리스 LDO는 커패시터가 있는 기존의 LDO보다 안정성 확보가 어려운 문제가 존재한다. 또한, 스위칭 컨버터의 출력을 LDO의 입력으로 받게 되어 스위칭 컨버터 출력의 경우 1MHz 주파수 근처에서 많은 잡음이 생기고 이 잡음이 LDO의 입력으로 들어가는 문제가 있어 PSRR(Power Supply rejection Ratio) 저하의 원인으로 작용하고 있다 [2]-[6].

이에 본 연구에서는 기본적인 캡리스 LDO 회로를 바탕으로 보상 회로들을 추가함과 동시에 별도의 회로를 추가하여 회로의 안정성을 유지하면서 PSRR의 향상을 도모하고자 한다. 회로의 동작속도를 개선시키며 큰 부하구동전류를 갖는 LDO 회로를 제안하고자 한다.

II. PSRR을 향상시킨 LDO 회로 제안

기존의 LDO는 그림 1과 같이 입력과 연결된 패스 트랜지스터, 입력단과 밴드갭 레퍼런스 회로와

연결된 오차증폭기, 분주기를 위한 저항, 외부커패시터로 구성된다.

외부 커패시터 C_{out} 의 경우 크기가 클수록 좋은 안정성을 갖게 되며 크기는 $10\mu F$ 의 크기까지 사용한다. 그림 1의 LDO회로의 동작은 다음과 같다. 패스 트랜지스터로 입력전압이 인가되면 전류가 흐르게 되는데 그 전류는 피드백 단자에 있는 분주기 저항을 통하여 전압으로 변환되며 이 전압은 오차증폭기의 하나의 입력으로 들어간다. 기존 입력전압인 밴드갭 레퍼런스에서 나오는 전압과 비교/증폭되어 다시 패스 트랜지스터의 게이트 전압을 조절하고 이를 통해 저항에 흐르는 전류를 조절하여 레귤레이션 동작을 시킨다, 이 때 출력 전압을 식으로 표현하게 되면 식 (1)과 같다.

$$V_{OUT} = \frac{R_1 + R_2}{R_2} V_{ref} \quad (1)$$

식 (1)에서 확인할 수 있는 것과 같이 입력전압과는 무관하게 R_1 , R_2 , V_{ref} 를 통하여 외부변화에 무관한 일정한 전원으로 동작한다. 그러나 이 회로는 안정성을 확보하기 위해 외부 커패시터의 크기가 커지는 문제점이 있다. 또한, 패스 트랜지스터의 게이트와 소스 사이의 기생 커패시터에서 인가되는 리플 전압, 오차증폭기에서 발생하는 리플 전압이 패스 트랜지스터로 인가되는 문제 등으로 인해 과도 특성 및 PSRR 특성, 동작속도가 떨어지는 약점을 지니고 있다[3]-[5].

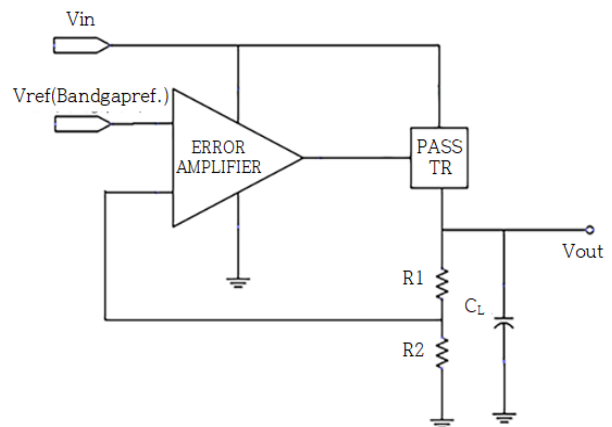


그림 1. 기존의 캡리스 LDO 회로[3]-[5]
Fig. 1. Classical capless LDO circuit[3]-[5]

이에 본 논문에서는 외부 커패시터가 없는 구조를 사용하면서 안정성을 확보함과 동시에 리플 전압을 줄이기 위해 보상커패시터와 전압증폭기가 병렬로 연결된 회로를 추가 삽입하고 오차증폭기에 폴디드 캐스코드 증폭기를 사용하였으면 필터를 추가한 새로운 구조를 제안한다. 이를 통해 PSRR 향상, 정착시간 단축, 구동전류 증대를 시도하고자 한다. 아울러 패스 트랜지스터에 바디증폭기를 사용하여 PSRR 동작주파수 향상 등도 도모하고자 한다. 제안한 회로의 전체 블록도를 그림 2에 나타내었다.

그림 2의 제안한 블록들 중에서 오차증폭기의 입력 V_{ref} 는 밴드갭 레퍼런스 회로를 사용하여 1.2V로 설정하였다. 이 때 밴드갭 레퍼런스는 고주파 대역에서 열화가 될 가능성이 있기 때문에 발생하게 되는 노이즈를 제거하기 위하여 밴드갭 레퍼런스의 출력단과 오차증폭기 사이에 필터를 추가하여 온전한 입력이 LDO에 인가되도록 하였다. 오차증폭기의 경우 다목적 전압원으로 사용할 수 있도록 넓은 전압 스윙을 가지며 입력 최소 전압이 낮은 폴디드 캐스코드 증폭기를 사용하였다. 개루프 이득을 증가시켜 정전압 특성을 향상시켰고, 회로의 빠른 동작을 위하여 슬루율이 높게끔 설계하였다.

본 논문에서는 외부 커패시터가 없는 LDO 구조로 설계하기 때문에 동반되는 회로의 불안정성을 보상하기 위해 밀러 보상기법[1]을 사용하였다. 이 기법을 통하여 좌평면 영점을 형성하여 안정도를

향상시켰고, 또한 안정도 보상 및 회로의 속도 향상을 위하여 병렬로 증폭기를 추가시켜 설계하였다. 이를 통해 회로의 동작을 빠르게 만들어 정착시간을 줄였다. 또한 패스 트랜지스터의 게이트와 입력 사이에서의 기생 커패시터로 인해 인가되는 리플을 제거하고 PSRR을 증가시키기 위해 패스 필터를 추가하였다. 패스 트랜지스터는 PMOS로 구성하였고 레귤레이터 동작을 위하여 폭을 1000um로 설정하였다. 또한 패스 트랜지스터의 바디에 추가적인 증폭기를 연결하여 바디 효과를 사용하였고 이를 통해 고주파에서의 PSRR을 향상시켰다.

제안한 회로를 중요한 블록으로 나누면 다음과 같다. 첫 번째로 오차증폭기에 일정한 입력 기준 전압을 만들게 되는 밴드갭 레퍼런스 회로, 제안하는 회로에서의 오차증폭기로 사용되는 폴디드 캐스코드 증폭기 회로, 밴드갭 레퍼런스회로와 오차증폭기의 바이어스 전압을 만들어 내는 바이어스 회로, PMOS로 구성된 패스 트랜지스터, 밴드갭 레퍼런스에서의 열화를 막기 위한 패스 필터, 패스 트랜지스터의 게이트 단에 연결되는 패스필터, LDO회로의 동작을 빠르게 하며 보상을 위한 피드백 전압 증폭기, 패스 트랜지스터의 바디 전압을 컨트롤 하여 고주파 대역에서 PSRR을 증가시키기 위한 바디 증폭기로 분류된다. 각각의 회로의 동작원리는 다음과 같다.

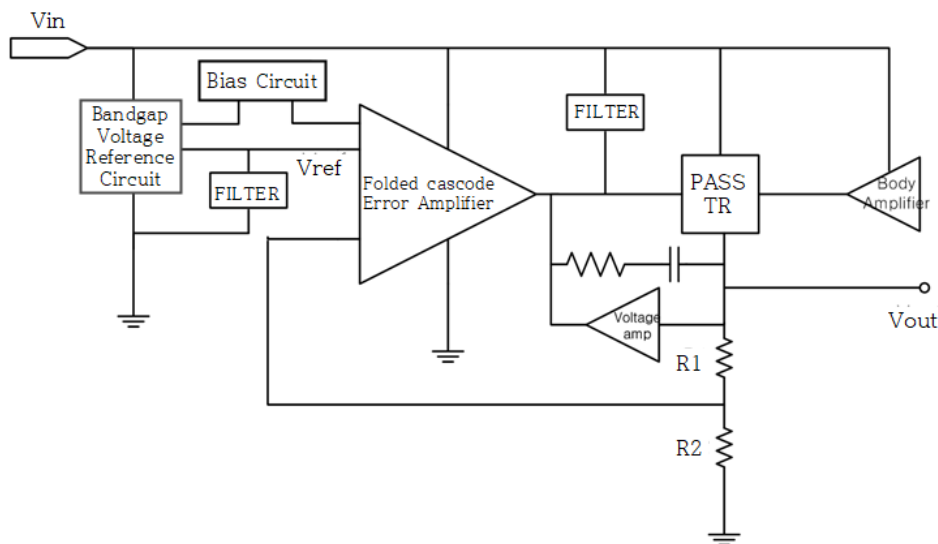


그림 2. 제안한 회로의 전체 블록도
Fig. 2. Overall block diagram of proposed circuit

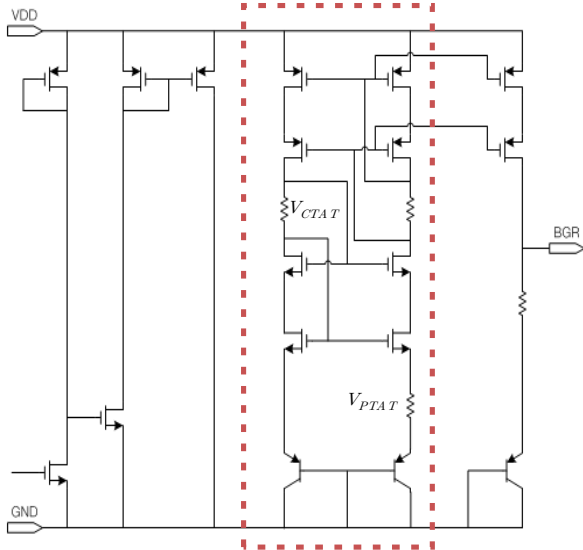


그림 3. 제안한 밴드갭 레퍼런스 회로
Fig. 3. Proposed bandgap reference circuit

그림 3은 본 논문에서 사용한 밴드갭 레퍼런스 회로이다. 그림 3의 회로에서 확인 할 수 있는 것과 같이 PTAT 전류의 경우에는 표기한 박스 좌측 단에 있는 PMOS 트랜지스터와 NMOS 트랜지스터를 통하여 만들어지고 CTAT의 경우는 PTAT로 인해 만들어진 전류가 전류 미러로 우측 단에 전달되어 지게 되면 박스 아래 저항에 의해 전압이 형성되고 회로 하단에 있는 BJT에 이 전압이 인가되어 CTAT 전류가 형성 되게 된다. 해당 전류들은 박스 밖에 있는 우측 출력 단을 통하여 합쳐지게 되어 식 (2)와 같은 일정한 전압 값을 만들어 낸다.

$$V_{BGR} = V_{CTAT} + V_{PTAT} \quad (2)$$

그림 4는 사용한 바이어스 회로를 나타낸 것이다. 그림 4의 회로의 경우 간단한 전류 미러와 MOS 커패시터를 이용하였다. 전압 분배의 경우 같은 조건의 모스 커패시터를 직렬 연결하는 방법을 사용했다. 전류 미러의 경우 같은 게이트 전압 및 소스 전압을 설정한 두 개의 MOS 트랜지스터의 폭과 길이를 고정시킨 후 포화 전류 식 (3)을 이용하여 전류를 복사하는 방법을 사용했다.

$$i_D = \frac{1}{2}(\mu_n C_{ox})\left(\frac{W}{L}\right)(V_{gs} - V_{th})^2(1 + \lambda v_{DS}) \quad (3)$$

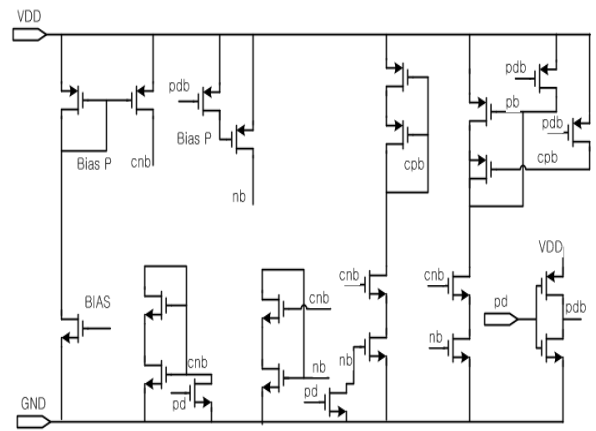


그림 4. 제안한 회로에 대한 바이어스 회로
Fig. 4. Bias circuit for the proposed circuit

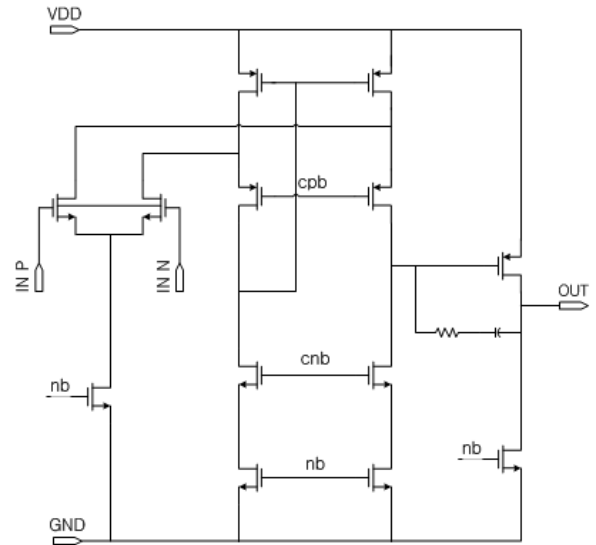


그림 5. 제안한 폴디드 캐스코드 증폭기
Fig. 5. Proposed folded cascode amplifier

바이어스에서 얻은 전압 값은 폴디드 캐스코드 증폭기의 게이트 단자에 필요한 바이어스 전압과 밴드갭 레퍼런스에 공급 전압으로 사용하였다.

그림 5에서 제안한 오차 증폭기는 폴디드 캐스코드 구조로 설계된 증폭기이다. 기존의 5-트랜지스터 오차 증폭기 회로에서는 입력 단과 증폭 단이 직렬로 연결되어 출력을 얻을 경우 증폭 단에 존재하는 전압 헤드 룸에 의하여 최대로 얻을 수 있는 출력 전압의 폭이 좁아지는 단점이 있다. 하지만 제안하는 회로에서 사용한 폴디드 캐스코드 증폭기는 출력 단이 따로 연결되어 있기 때문에 헤드 룸 손해가 없으므로 전압의 범위가 증가한다.

또한 출력 단에 MOS 트랜지스터가 층을 이루어 쌓여 있기 때문에 출력 단에서 바라보는 저항이 커지고 이는 전압이득이 커지는 결과를 얻는다. 기존보다 큰 전압이득은 LDO에서 레귤레이션 특성을 좋게 만들고 동작속도 또한 빠르게 만드는 효과를 얻기 때문에 폴디드 캐스코드를 사용하여 오차증폭기를 구성하였다. 그림 2의 전체 블록도에서 회로의 속도를 증가시키기 위하여 커패시터의 크기를 작게 해야 한다. 그러나 출력 단이 늘어남에 따라서 추가적인 극점이 발생하게 되는데 본 논문에서 제시한 회로는 외부 커패시터 없는 LDO 구조로 설계하기 때문에 안정성 확보가 어려워진다. 이를 방지하기 위해 제안한 회로의 구조와 같이 귀환 증폭기를 병렬로 추가하여 회로에서 영점을 만들어 안정성을 추가로 확보하였다.

그림 2의 전체 구조에서 고주파 PSRR 성능 향상을 위하여 패스트랜지스터 바디에 증폭기를 추가시켰다. 패스트랜지스터에 고주파에서 인가되는 입력 전압에 비해서 일정한 전압을 가해 문턱전압을 변동시키는 방법을 사용하였다. 바디증폭기가 없을 때 패스트랜지스터의 소스 전압과 바디전압에 리플 전압이 인가되면 같은 비율로 움직이게 되는데 이 때 바디전압이 일정한 값을 갖게 된다면 소스 전압과 바디전압의 전압차이가 생겨 바디효과가 생기게 되고 이에 따라서 문턱전압이 변동하여 리플 값 인가 시에 그에 상응하여 출력전류가 조절되는 원리를 사용하였다. 바디 증폭기 회로는 간단한 5-트랜지스터 증폭기를 사용하였고[6] 기준전압은 밴드갭 레퍼런스를 통해 받는다. 이때 간단한 필터를 통하여 고주파에서만 인가되어 동작하게 설계하여 고주파에서 PSRR 성능향상을 도모하였다. 제안한 회로 그림 2에서 밴드갭 레퍼런스 출력단과 패스트랜지스터의 게이트 입력 단에 각각 필터를 추가한 것을 볼 수 있다. 이 두개의 필터는 모두 간단한 1차 필터로 구성하였다. 밴드갭 레퍼런스의 경우 고주파 대역에서 열화가 발생하여 불안정한 출력전압이 오차 증폭기의 기준전압으로 인가될 수 있고 이로 인해 오차증폭기의 출력이 변동될 수 있다. 이는 결과적으로 출력전압이 안정된 전압을 갖는데 문제가 될 수 있다. 이를 방지하기 위해 밴드갭 레퍼런스의 출력과 그라운드 사이에 연결된 필터를 통해 입력 열화를 그라

운드로 보내줌으로써 고정된 레퍼런스 전압을 오차 증폭기의 입력으로 인가시켜 준다. 패스트랜지스터의 게이트 입력 단에 연결된 필터의 경우는 고주파 대역에서 패스트랜지스터의 소스 단에 인가되는 주파수 성분만큼 게이트 단에 주파수 성분을 인가하여 전류변동을 작게 하여 일정한 출력을 얻을 수 있는 방법을 사용하였다.

III. 제안한 회로 시뮬레이션 및 결과 분석

그림 2에서 제안한 회로를 TSMC의 0.18um CMOS 공정변수를 사용하여 Cadence Spectre로 시뮬레이션을 통하여 성능을 확인하였다. 아날로그 회로 및 소형기기를 목표로 하기 때문에 저전압 조건의 변수를 설정했다. 회로 시뮬레이션의 경우 그림 1의 캡리스 LDO 구조의 경우 오차증폭기는 5-트랜지스터 구조를 사용하였고, 패스트랜지스터는 PMOS를 사용하였다. 그림 2와 같이 본 논문에서 제안한 회로의 경우 본문에서 언급한 개별 블록회로를 사용하여 시뮬레이션 하였다. 표 1은 시뮬레이션에 사용된 변수를 나타낸 것이다.

표 1. 시뮬레이션에 사용한 설계변수

Table 1. Design parameters used in the circuit simulation

Parameter	Size	Unit
V_{DD}	3.3	V
V_{AC}	1	V _{rms}
C_L	1	fF
Dividing resistor R_1	50	k Ω
Dividing resistor R_2	100	k Ω
Model parameters		TSMC 0.18um CMOS

3.1 기존 회로의 시뮬레이션결과

그림 6은 그림 1의 기존 캡리스 LDO 회로의 입력에 교류 1 V_{rms} 값을 인가하였을 때 입력과 출력 사이의 교류전압을 확인하여 PSRR을 측정된 결과이다. 그림 6으로부터 각각 DC일 때와 1MHz 일 때의 PSRR을 확인한 결과 DC일 때 -21.59dB, 1MHz일 때 -19.43dB를 갖는 것을 알 수 있다(부하전류를 10mA 일 때와 100uA 일 때를 나눠서 측정된 결과임). 그림 1의 기존 캡리스 LDO의 경우 레귤레이션 동작은 문제가 없었으나 PSRR 특성이 -20dB 내외의 결과가 나왔다.

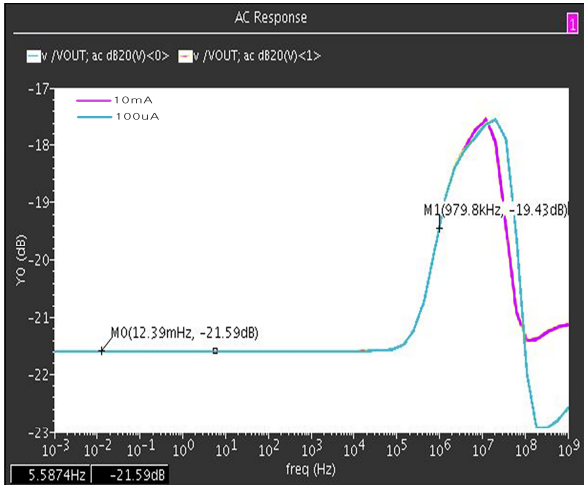


그림 6. 그림 1에 대한 PSRR 시뮬레이션 결과
Fig. 6. Simulation result of PSRR for the Fig. 1

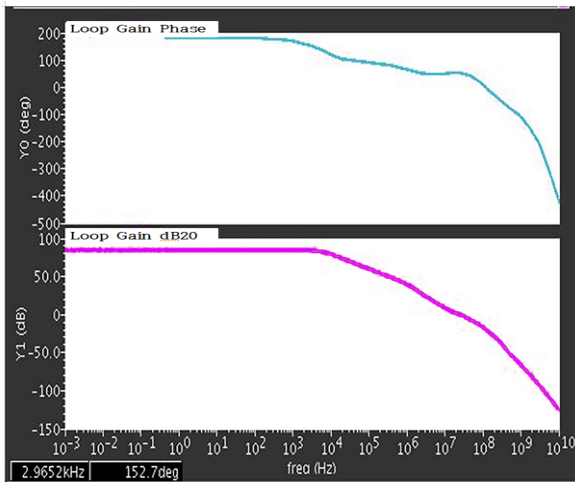


그림 7. 그림 1에 대한 주파수 특성
Fig. 7. Frequency characteristics for the Fig. 1

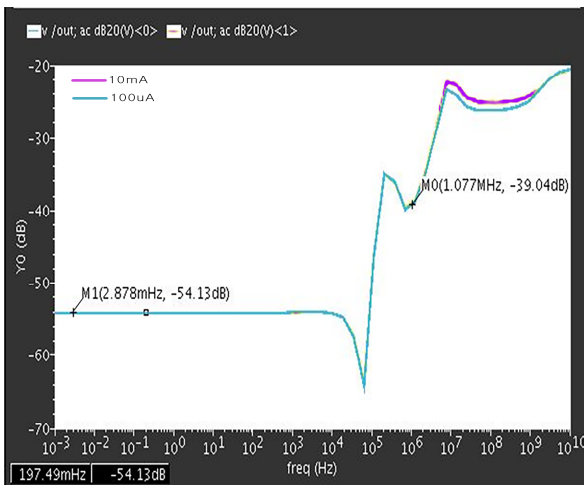


그림 8. 그림 2에 대한 PSRR 시뮬레이션 결과
Fig. 8. Simulation result of PSRR for the Fig. 2

이는 입력전압변화의 10% 정도가 출력전압에 나타나는 것이 되기 때문에 입력전압이 변화함에 따라서 출력전압이 크게 변동할 경우 온전한 전압을 부하로 전달하기에는 무리가 있다는 것을 알 수 있다. 또한, 부하전류의 변동에 따라 PSRR 특성이 불안정해진다는 것을 볼 수 있다. 그림 7은 그림 1의 기존 LDO 회로의 안정성을 확인하기 위하여 주파수 특성을 확인한 결과이다. 이득 여유도의 경우 20.47MHz가 측정되었고, 위상여유도의 경우에는 54.08°의 값이 측정되었다. 그림 7의 결과로 보아 커패시터 LDO 밀러 커패시터를 통하여 안정성은 확보가 된 것을 확인 할 수 있다.

이 결과로 보아 그림 1의 커패시터 LDO 회로의 경우 외부 커패시터를 통하여 안정성은 확보가 되어 있다는 것을 알 수 있다.

표 2는 그림 1의 기존회로에 대해 앞에서 확인한 PSRR, 이득 여유도, 위상 여유도를 포함한 다른 변수들에 대해 시뮬레이션 한 후 정리한 표이다. 측정 결과 최대 출력 전류는 20mA의 크기를 가졌으며 이보다 더 큰 부하전류를 선택할 경우 그림 1의 LDO 회로가 제대로 동작하지 않았다. PSRR 특성 역시 입력전압이 크게 변동하면 일정한 출력을 얻기 어렵다는 것을 확인할 수 있었다.

표 2. 그림 1에 대한 특성 요약

Table 2. Characteristics summary for the Fig.1

Item	Measured Value
PSRR	-21.6dB@DC /-19.43dB@1MHz
Phase margin	54.08 [°]
Gain margin	20.47[MHz]
Max. output current	20[mA]
Load regulation	0.8[mV/μA]
Line regulation	2.84[mV/V]
Setting time	0.5[μs]

3.2 제안한 회로의 시뮬레이션결과

그림 8은 제안한 그림 2의 회로의 특성결과 중 가장 중요한 PSRR에 대한 특성을 모의 실험한 결과이다. 입력 전압에 교류 성분을 추가하여 입력과 출력 사이의 교류전압 값을 측정함으로써 DC상태 일 때와 주파수 1MHz 일 때의 PSRR을 각각 측정된 결과이다.

그림 8에서 볼 수 있는 것과 같이 DC상태 일 때 -54.13dB의 값이 측정되었고 1MHz일 때 -39.04dB의 값이 측정되었다. 이 값은 DC 전압 상태일 때 입력으로 인가되는 리플 크기의 약 0.1%의 값만이 출력으로 전달되어 나타낸다는 것을 의미한다. 그림 9는 기존 회로의 PSRR 결과(그림 6)와 제안한 회로의 PSRR 결과(그림 8)를 비교하여 나타낸 그림이다. 이 결과를 비교해 보면 그림 2의 제안한 회로가 그림 1의 기존의 캡리스 LDO 회로에 비해서 입력 리플 값을 출력에서 확실하게 제거할 수 있음을 보여주고 있고, 1MHz의 주파수 대역에서도 좋은 PSRR 특성을 얻을 수 있음을 보여주고 있다. 따라서 비교적 많은 리플 값이 발생하는 DC/DC 컨버터에서 유용하게 사용될 수 있다. 부하 전류가 10mA로 늘어났음에도 불구하고 기존 회로 1에 대한 그림 6의 측정 결과와 비교했을 때 상대적으로 PSRR특성이 잘 유지되는 것을 확인할 수 있었다.

그림 10은 제안한 회로에서 안정성을 확인하기 위하여 회로의 주파수 특성을 시뮬레이션한 결과로 이득 여유도가 18.02MHz로 측정되었으며 위상 여유도의 경우에는 78.72°의 안정된 값이 측정했다. 그림 11은 기존 회로의 주파수 특성결과(그림 7)와 제안한 회로의 주파수 특성결과(그림 10)를 비교하여 나타낸 그림으로 제안한 회로의 위상 여유도가 좋음을 알 수 있다.

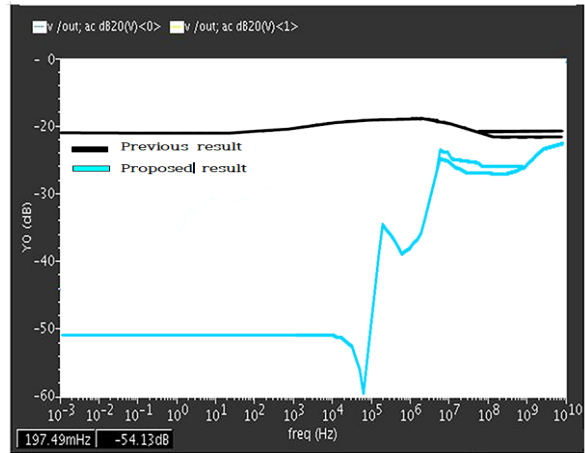


그림 9. 그림 6과 그림 8의 PSRR 시뮬레이션 결과 비교
Fig. 9. Comparison of PSRR simulation results in Fig. 6 and Fig. 8.

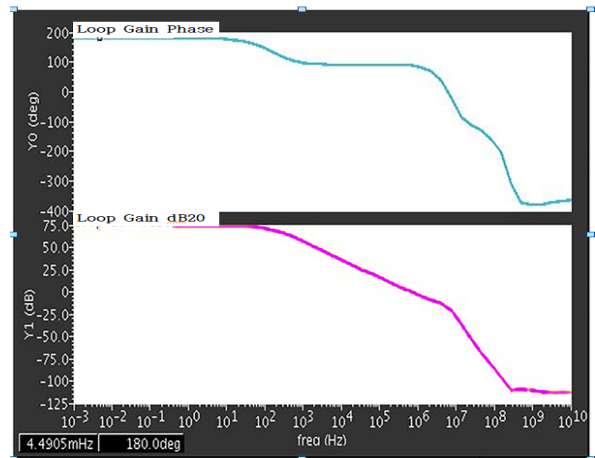


그림 10. 그림 2에 대한 주파수 특성
Fig. 10. Frequency characteristics for the Fig. 2

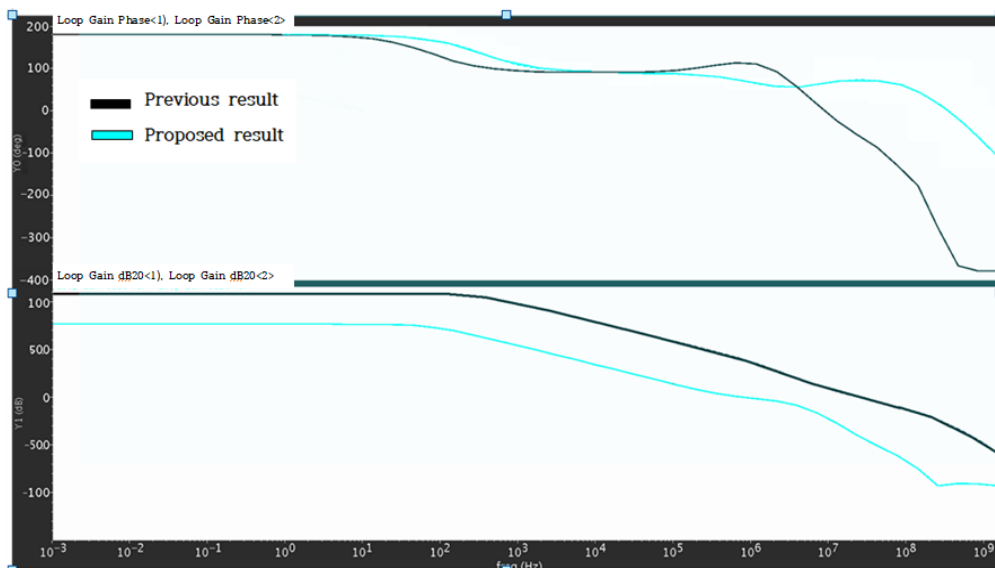


그림 11. 그림 7과 그림 10의 PSRR 시뮬레이션 결과 비교
Fig. 11. Comparison of PSRR simulation results in Fig. 7 and Fig. 10.

그림 9와 그림 11의 비교결과를 통해 봤을 때 그림 2에서 제안한 회로가 PSRR 특성을 향상시키는 동시에 회로의 안정성이 확보됨을 확인할 수 있었다.

표 3은 그림 2에서 제안한 회로의 특성을 정리한 표이다.

표 3. 그림 2에 대한 특성 요약
Table 3. Characteristics summary for the Fig. 2

Item	Previous circuit	Proposed circuit
PSRR	-21.6dB@DC / -19.43dB@1MHz	-54.13dB@DC/-39.04dB@1MHz
Phase margin	54.08 [°]	78.72 [°]
Gain margin	20.47[MHz]	18.02[MHz]
Max. output current	20[mA]	200[mA]
Load regulation	0.8[mV/μA]	1.7[mV/μA]
Line regulation	2.84[mV/V]	22[mV/V]
Settling time	0.5[μs]	0.09[μs]

표 3에서 특이점은 제시한 회로의 경우 부하 최대 전류가 200mA라는 매우 큰 값을 갖기 때문에 다양한 부하회로를 사용할 수 있다는 점이다. 또한, 제안한 회로의 오차증폭기는 폴디드 캐스코드 증폭기를 사용하였기 때문에 전압 스윙의 범위가 넓어 다양한 기준전압을 선택할 수 있어 전압 응용범위도 넓다는 것을 알 수 있다.

3.3 제안한 회로의 결과와 다른 연구 결과와의 비교 검토

표 4는 다른 논문에서 제시한 컵리스 LDO 회로와 본 논문에서 제시한 회로의 특성을 비교한 결과로 비교 논문의 경우 논문에 언급된 결과만을 표시하였다. 위상여유도, 이득여유도, 라인 레귤레이션, 부하 레귤레이션 특성은 본 논문의 결과와 타 논문의 결과가 유사하였다. 그러나 가장 중요한 변수인 PSRR의 경우 본 논문에서 제시한 결과가 참고문헌 [8]의 연구 결과와 비교했을 때 DC의 경우 1.8배, 1MHz의 경우 약 1.95배 더 높은 값을 가지고 있음을 확인할 수 있었다. 또한 회로의 정착시간이 다른 연구결과에 비해서 빠르기 때문에 고속 동작에 유리해 빠른 응답이 필요한 다양한 회로에 적용 가능할 것으로 생각한다. 또한, 최대 출력 전류 값도 상대적으로 커 많은 부하 구동에도 유리하다고 볼 수 있다.

표 4. 제안한 회로 결과와 최근 발표된 결과와의 비교
Table 4. Comparison of the proposed circuit results with recently reported results

Item	Reference [7]	Reference [8]	This paper
PSRR(@DC/@1MHz)	-30dB/-20dB	- / -40dB	-54dB/-39dB
Phase margin	55	-	78.72
Gain margin(MHz)	20.3	-	18.02
Max. output current (mA)	100	150	200
Load regulation (mV/μA)	-	20	1.7
Line regulation (mV/V)	-	3	22
Settling time (μs)	2	-	0.09
Process technology (nm)	350	130	180

다만, 기존의 컵리스 LDO의 경우 LDO 바깥쪽에 외부 컵패시터를 연결하는 것에 비해 본 논문에서 제안한 회로는 내부에 보상 컵패시터를 달아 LDO 회로 자체만을 보면 면적이 커지는 단점이 있다.

그러나 기존 컵리스 LDO 회로의 외부컵패시터까지 고려한 면적과 비교해 보면 크기 측면에서 크게 문제가 되지 않을 것으로 보고 있다. 상대적으로 면적 측면에서 손해가 발생하더라도 부하에 컵패시터를 추가하는 것에 비해 더 다양한 방법으로 사용 가능하고, 오차증폭기의 동작범위가 넓고, 출력 전류 값이 다른 회로에 비해 크기 때문에 유용하게 사용할 수 있을 것으로 생각한다.

IV. 결 론

본 논문에서는 기존에 사용되던 컵리스 LDO 회로에 비해 PSRR 및 동작속도, 부하 구동전류를 향상시키면서 안정성을 유지시킨 LDO 레귤레이터를 제안하고 설계하였다. 기존 회로의 구조에서 피드백 회로에 전압증폭기를 추가하여 밀러 효과에 의한 좌평면 영점을 만들게 되고 이로 인해 기존의 회로보다 더 빠른 동작이 가능한 효과를 얻을 수 있었다. 또한, 좋은 레귤레이션 성능을 얻을 수 있었다. 여기서 사용한 전압증폭기가 하나의 밀러 컵패시터의 역할을 하기 때문에 더 좋은 안정성도 확보할 수 있었

다. 또한 오차증폭기 구조를 기존의 5-트랜지스터 구조에서 폴디드 캐스코드 구조를 사용하여 설계하였고 이로 인해 이득 구간이 3단이 되어 전압이득이 증가되고 동시에 증폭기 자체에서의 PSRR을 증가시킬 수 있었다. 또한 패스 트랜지스터의 게이트 단자에 인가되는 전압을 소스 단자에 인가되는 입력전압에 맞추어 같이 스윙 될 수 있도록 입력전압과 패스 트랜지스터의 게이트 단자 사이에 필터를 추가하였다. 이를 통하여 게이트단과 소스 단의 두 전압 값이 리플 인가에 따라 같은 값을 스윙하여 게이트 전압 값을 일정하게 만들어 PSRR을 향상시킬 수 있었다. 밴드갭 레퍼런스 또한 저전압 구동을 하게 될 때 출력에 리플이 생길 수 있는데, 이를 방지하기 위하여 입력 단에도 필터를 통하여 PSRR을 증가시키게끔 하였다.

Pre-layout 시뮬레이션 결과 최종적으로 부하가 없을 때 DC에서는 -54.13dB, 1MHz에서 -39.04dB값을 가지는 것을 확인하였고 참고문헌[8]의 결과와 비교해도 DC의 경우 1.8배, 1MHz의 경우 1.95배 높은 성능을 나타냄을 확인할 수 있었다. 또한, 부하 구동 전류도 최대 200mA 가량 얻을 수 있었다. 제한한 회로가 기존의 캡리스 LDO회로에 비해서 내부에 추가되는 커패시터 면적만큼 전체 크기가 커지는 단점은 있으나 패스 트랜지스터의 크기와 비교하면 1/3 크기의 면적만 추가되었을 뿐이다.

본 논문의 결과는 외부커패시터를 사용하지 않는 LDO 레귤레이터 중 안정성과 높은 PSRR이 필요함과 동시에 정밀한 전압공급원이 필요한 아날로그 회로에 유용하게 사용될 수 있을 것으로 기대한다.

References

[1] R. J. Baker, "CMOS circuit design, layout, and simulation Second Edition", WILEY INTERSCIENCE, 2005.

[2] M. Huang, Yan Lu, Seng-Pan U., and Rui P. "An Output-Capacitor-Free Analog Assisted Digital Low-Dropout Regulator with Tri-Loop Control", IEEE International Solid-Sate Circuits Conference, pp. 342-343, Feb. 2017

[3] K. N. Leung and P.K.T. Mok, "A Capacitor-Free

CMOS Low-Dropout Regulator With Damping-Factor-Control Frequency Compensation", IEEE Journal of Solid-State Circuits, Vol. 38, No. 3, pp. 1691-1702, Oct. 2003

[4] M. Nasrollahpour, S. Hamed-Hagh, Y. Bastan, and P. Amiri, "ECP technique based capacitor-less LDO with high PSRR at low frequencies, -89dB PSRR at 1MHz and enhanced transient response", 2017 14th International Conference (SMACD), pp. 1-4, Jul. 2017.

[5] K. Keikhosravy and S. Mirabbasi, "A 0.13- μ m CMOS Low-Power Capacitor-Less LDO Regulator Using Bulk-Modulation Technique", IEEE Transactions on Circuits and Systems I: Regular Papers, Vol. 61, No. 11, pp. 3105-3114, Sep 2014.

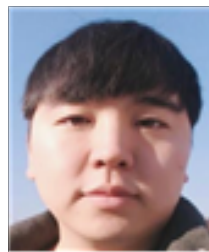
[6] M. G. Bautista, Q. I. Jilluh, M. Heimlich, E, Dutkiewicz, and J. Pasco "Design of Low Power, High PSRR Low Drop-Out Voltage Regulator", 2015 International Conference (HNICEM), pp. 1-5, Dec. 2015.

[7] C. C. Lim, N. S. Lai, G. H. Tan, and H. Ramiah "A low-power fast transient output capacitor-free adaptively biased LDO based on slew rate enhancement for SoC application", Microelectronics Journal, Vol. 46, No. 8, pp. 740-749 Aug. 2015.

[8] K. Wong and D. Evans, "A 150 mA low noise, high PSRR low-dropout linear regulator in 0.13 m technology for RF SoC applications", Solid-State Circuits Conf. (ESSCIRC), pp. 532-535, Oct. 2006.

저자소개

김 성 호 (Sung-Ho Kim)



2017년 2월 : 청주대학교

반도체공학과(공학사)

2017년 3월 ~ 2019년 2월 :

청주대학교 반도체공학과

(공학석사).

관심분야 : CMOS Analog IC 설계

손 상 희 (Sang-Hee Son)



1983년 2월 : 한양대학교

전자공학과(공학사)

1985년 2월 : 한양대학교

전자공학과(석사)

1988년 8월 : 한양대학교

전자공학과(박사)

1988년 9월 ~ 1991년 2월 :

순천향대학교 전산학과 전임강사

1991년 3월 ~ 현재 : 청주대학교 반도체공학과 교수

2009년 ~ 2010년 : Univ. of Texas at Dallas 방문교수

관심분야 : CMOS Analog IC 설계 및 센서 신호 처리
회로 설계