



# 통신용 초고속 주파수 디바이더 회로에 대한 연구

이주흔\*, 윤원상\*\*, 채상훈\*\*\*

## A Study on High Speed Frequency Divider Circuit

Ju-Heun Lee\*, Won-Sang Yoon\*\*, and Sang-Hoon Chai\*\*\*

---

본 연구는 2017년도 호서대학교의 재원으로 학술연구비 지원을 받아 수행된 연구이며(2017-0321), IDEC의 일부 CAD tool 지원을 받았음.

---

### 요 약

본 논문에서는 초광대역 통신 시스템에 사용하기 위한 목적으로 RF PLL용 가변 정수형 주파수 분할기를 실리콘 표준 CMOS 제작 기술을 이용하여 IC 형태로 설계 및 제작하였다. 고속 및 저잡음 특성을 달성하기 위하여 주파수 분할기 단위요소에 수퍼 다이내믹 회로를 사용하였으며, 가변 정수 분할을 위하여 MOSFET를 이용한 스위치를 사용하였다. 다이내믹 회로의 단점인 주파수 대역 제한 문제점을 해결할 목적으로 주파수 분할기 회로에 사용하는 부하저항의 크기도 다르게 설계하는 방법을 사용하였다. 설계된 회로를 반도체 IC 칩으로 제작한 다음 측정하였을 때 동작 주파수 범위는 1~7GHz 범위로 넓고 빠른 주파수 대역의 우수한 동작 특성을 보였다.

### Abstract

This paper describes design and fabrication of variable frequency divider IC for RF PLL for ultra wideband communication system using 0.18  $\mu\text{m}$  silicon standard CMOS technology. A frequency divider unit element was designed using super dynamic circuit to obtain high speed low noise characteristics, and a MOSFET switch was used to obtain a variable integer division ratio. In order to solve the limitation problem of the frequency band of the dynamic circuit, changing size of the load resistance used in the frequency divider unit element circuit is applied. The designed circuit was fabricated as a semiconductor IC chip and then measured. As a result, the operating frequency range was in the range of 1 to 7 GHz and showed fast and wide frequency band operating characteristics.

### Keywords

frequency divider, high speed, VCO, dynamic circuits, frequency range

---

\* 호서대학교 전자디스플레이공학부

- ORCID: <http://orcid.org/0000-0002-2868-6564>

\*\* 호서대학교 전자디스플레이공학부 조교수

- ORCID: <http://orcid.org/0000-0003-1125-384X>

\*\*\* 호서대학교 전자디스플레이공학부 교수(교신저자)

- ORCID: <http://orcid.org/0000-0002-1189-8237>

· Received: Jul. 26, 2018, Revised: Sep. 12, 2018, Accepted: Sep. 15, 2018

· Corresponding Author: Sang-Hoon Chai

Division of Electronic and Display Engineering, Hoseo University

20, Hoseo-ro 79 beon-gil, Baebang-eup, Asan-si, Chungnam-do, Korea,

Tel.: +82-41-560-5665, Email: shchai@hoseo.edu

### 1. 서 론

최근에는 RF 무선통신 및 광통신 분야에서는 10Gbit/s 이상의 초고속 통신이 개발되고 있다. 주파수 합성을 위하여 사용되는 PLL 회로의 동작 속도도 10GHz를 초과하고 있다. 그중에서도 UWB (Ultra Wide Band) 통신을 비롯한 여러 개의 주파수를 포함하는 통신 시스템에는 각기 다른 여러 밴드의 주파수를 갖는 클록을 생성시키기 위하여 PLL 회로 안에 가변 주파수 분할비를 갖는 주파수 디바이더(Divider, 분할기)가 쓰여야 한다. 현재까지 사용되어온 통신은 주로 5GHz 이하의 주파수로 동작하였으므로 기존 정적인 회로를 사용하여 주파수 분할기를 설계하는데 어려움이 없었다[1][2]. 그러나 5GHz 이상의 초고속 RF 통신용 주파수 분할기는 상대적으로 동작속도가 느린 기존의 정적인 회로 방식으로는 동작이 어려우므로, 동적인 방식 등으로 동작하는 초고속 회로로의 대체가 요구된다[3]-[6]. 그리고 여러 밴드의 주파수를 얻기 위하여 폭 넓은 범위로 분할비로 가변할 필요가 있다.

본 연구에서 설계한 초고속 주파수 분할기는 단위 분할회로(1/2)에 슈퍼 다이내믹(Super Dynamic) 회로를 사용하여 5GHz 이상의 초고속에서도 동작하도록 하였다[6]-[8]. 또한 안정성이 보장되는 MOS 스위치 회로를 사용함으로써 정수 분할비(1/N)를 연속적이고 자유롭게 가변할 수 있도록 하였다.

### II. 주파수분할기의 구성

UWB 통신의 한 종류인 MBOA 통신시스템의 채널 및 밴드 구성을 그림 1에 나타내었다. 3,432~

10,296MHz의 넓은 주파수 범위에서 528MHz의 간격으로 5개의 채널 및 14개의 밴드로 구성된다.

그림 2는 MBOA 통신 시스템에서 클록 발생기로 사용하기 위해서 구성한 PLL 기반의 주파수합성기 블록도의 한 예이다. 이 주파수합성기에서는 잡음 특성을 개선하기 위해 밴드 기본 간격의 1/2인 264MHz를 기준클록(Reference Clock)으로 사용하여 기본스프(Fundamental Spur)를 밴드 중심주파수로부터 264MHz 벗어난 각 밴드 경계영역 부근에서 발생하게 한다. 그리고 전압제어 발진기(VCO, Voltage Controlled Oscillator)의 주파수 발생범위는 3,432~10,296MHz로 설정한다. 이 경우 주파수분할기(Nx)는 10GHz 이상의 초고주파 신호를 받아 13~39 사이의 연속 정수 분할비로 주파수를 분할해야 한다.

그림 3은 이들 조건을 만족하기 위한 본 연구에서 제안하고자 하는 주파수분할기 전체회로의 블록도로써, 1/2 분할 및 스위치부, 연산부, 홀짝 결정부들로 구성된다. 입력 클록신호 Qin은 입력 클록신호로써 빠른 동작을 위하여 병렬로 모든 블록에 입력되며, Qout은 출력 클록신호로써 버퍼(Buffer)를 통하여 연산부에서 출력된다. 여기서 모든 회로는 클록신호가 10GHz 이상의 초고속임을 고려하여 차동(Differential) 형태로 구성된다.

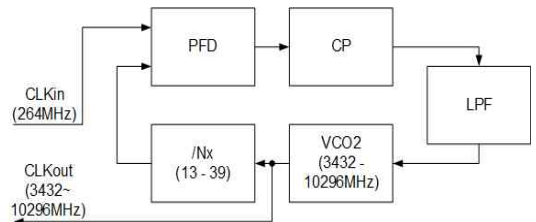


그림 2. MBOA 클록 발생기의 구조  
Fig. 2. MBOA clock generator structure

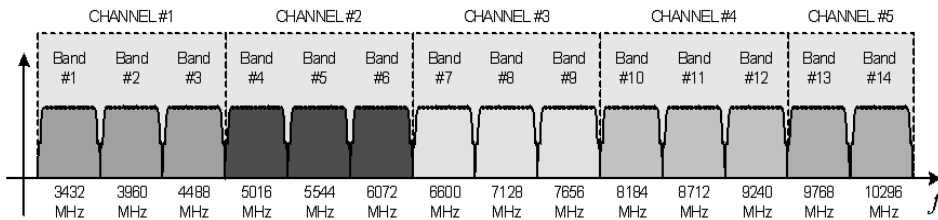


그림 1. MBOA 시스템 사용 채널 및 밴드  
Fig. 1. Using channel and bands of MBOA system



대한 경우의 수는 4가지를 얻을 수 있다. 즉,  $C_1/C_{oc}$ 가 1/0일 때는 분할비가 4, 1/1일 때는 분할비가 5, 0/0일 때는 분할비가 6, 0/1일 때는 분할비가 7이 된다. 본 연구에서 사용된 단위 1/2 분할부 회로는 그림 5와 같으며, 슈퍼 다이내믹(Super Dnamic) 구조의 리드(Read)/레치(Latch) 회로이다[3][5]. 이 회로는 왼편의 마스터(Master)부와 오른편의 슬레이브(Slave)부로 구성되며, 양측면의 2개의 트랜지스터로 구성된 리드부와 중앙의 2개의 트랜지스터가 서로 크로스 커플(Cross Couple) 형태로 연결된 레치부로 이루어진다.

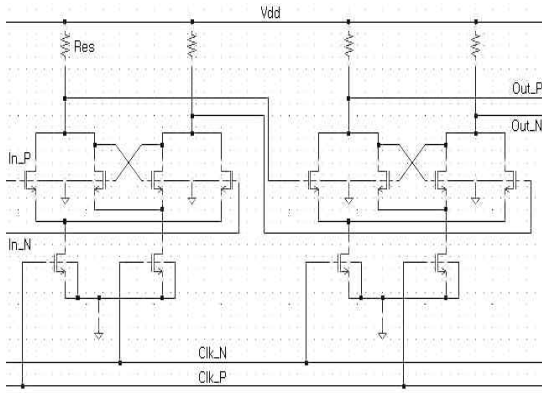


그림 5. 설계된 1/2 분할부 회로  
Fig. 5. Designed 1/2 frequency divide circuit

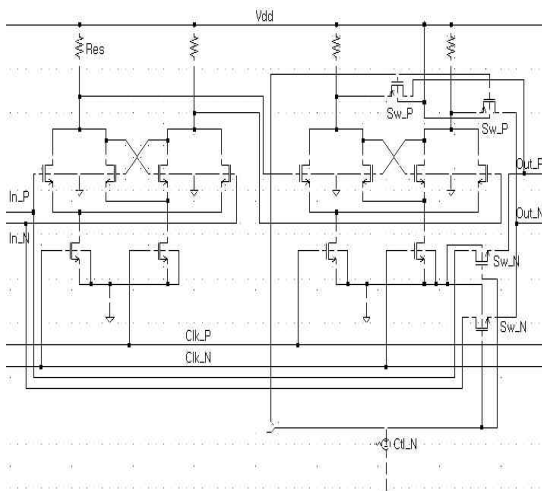


그림 6. 설계된 스위치부 회로  
Fig. 6. Designed switch circuit

이 회로가 고속 동작을 하기 위해서는 리드부의 부하 구실을 하는 레치부의 커패시턴스 성분을 최대한 줄일 필요가 있다. 즉, 전류원 트랜지스터 포함하여 레치부를 구성하는 3개 트랜지스터의 사이즈를 리드부 트랜지스터에 비하여 상대적으로 작게 설계하여 리드부에 대한 커패시턴스 부하를 줄임으로써 리드-레치 동작을 빠르게 개선할 수 있다. 그러나 레치부 트랜지스터의 크기를 필요 이상으로 줄이면 전류 부족현상이 나타나서 레치부 출력신호의 스윙 폭이 기준 이하로 작아지는 문제점도 발생한다[5]. 본 연구에서는 이런 점들을 고려하여 리드부와 레치부 트랜지스터의 크기(게이트 폭) 비를 1.2:1로 설계하였다.

이 회로는 부하저항 Res의 값에 따라 회로에 흐르는 전류 값이 변하므로  $Q=i*t(Q; 전하량, i; 전류, t; 시간)$ 의 수식에 따라 부하저항 값의 크기를 다르게 하여 전류를 조절하면 분할할 수 있는 주파수 범위를 조절할 수 있다. 또한 이 회로는 동적인 회로이므로 최대 주파수의 한계뿐만 아니라 최소 주파수에서도 제한이 나타난다. 즉, 부하저항에 흐르는 전류 값에 따라 주파수의 대역폭(Band Width)이 나타난다[3]-[5]. 그림 6은 실험에 사용된 스위치부 회로이며 1/2 분할 회로 내에 MOSFET 스위치(Sw\_P, Sw\_N)를 설치하여 분할비를 조절한다. 연산부 블록은 신호를 1/2로 분할하는 분할기 구조와 유사하나, NAND 또는 NOR 로직이 더 포함되는 차이가 있다. 홀짝 결정부 회로도 기본적으로 신호를 1/2로 분할하는 분할기와 유사하나, 홀짝 결정을 위한 NAND 또는 NOR 회로와 제어신호를 입력하기 위한 버퍼회로가 더 포함된다[6]. 그림 7은 설계된 주파수분할기 칩의 레이아웃 설계 도면이다.

#### IV. 제작 및 측정 결과

본 연구에서 사용한 1/2 분할 회로는 부하저항의 값에 따라 동작 주파수 대역 폭이 달라지므로 이 부분을 중심으로 측정을 수행하였다. 부하저항 R의 크기는 1.8, 2.4, 4.0, 14.0KΩ의 4구간에서 변화시켜서 설계 제작하였으며, 0.1~10GHz의 클럭 신호를 입력하면서 이에 대한 출력 신호를 관찰하였다.

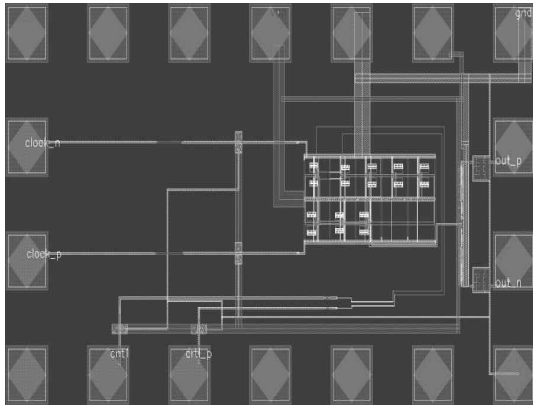


그림 7. 주파수분할기 칩의 레이아웃 도면  
Fig. 7. Layouted chip diagram of whole circuit

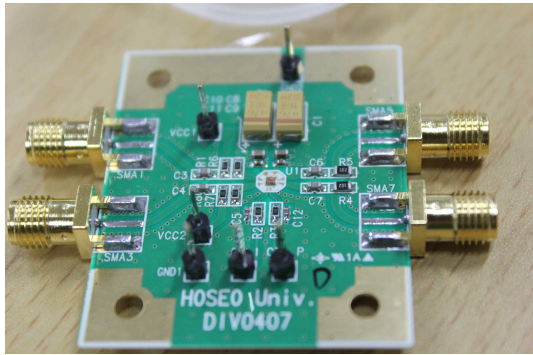


그림 8. 칩이 장착된 테스트 보드의 사진  
Fig. 8. Photograph of chip on board for test

그림 8은 제작된 주파수분할기 테스트 보드 사진이다. 동작 주파수 영역은 동적 회로의 특성에 의하여 0.4GHz부터 7.1GHz까지 대역폭으로 나타났다. 부하저항 R의 크기에 따라서는 14.0KΩ일 때는 0.4~1.7GHz, 4.0KΩ일 때는 1.6~2.3GHz, 2.4KΩ일 때는 2.0~5.0GHz, 1.8KΩ일 때는 4.8~7.1GHz의 범위에서 동작하였다.

그림 9는 부하저항의 크기가 2.4KΩ일 때의 3.5GHz 신호입력에 대한 7분주 회로의 동작 결과이다. 그림에서 보는 바와 같이 높은 주파수에서도 비교적 양호한 파형특성을 보였다. 그런데 본 실험에서 1.8KΩ일 때는 분주기가 불안한 동작을 나타내었다, 즉, 최대주파수 7.1GHz 까지만 동작하였으며, 구간 내에서도 일부 동작하지 않는 영역이 존재하였다. 이는 제작공정에서 발생하는 부하저항의 설계 값과 실제 값의 오차에 의해 나타나는 현상으로 풀이되며, 수정 설계를 통하여 좀 더 정밀하게 저항 값을 조절한다면 더 좋은 결과를 얻을 수 있을 것으로 예상된다.

그림 10은 부하저항의 크기가 2.4KΩ일 때의 3.0GHz 신호입력에 대한 6분주 회로의 출력파형의 스펙트럼을 측정된 결과이다. 500MHz의 정확한 출력특성이 나타났으며, 위상잡음(Phase Noise) 등 각종 신호 대비 잡음특성도 양호하게 나타났다.

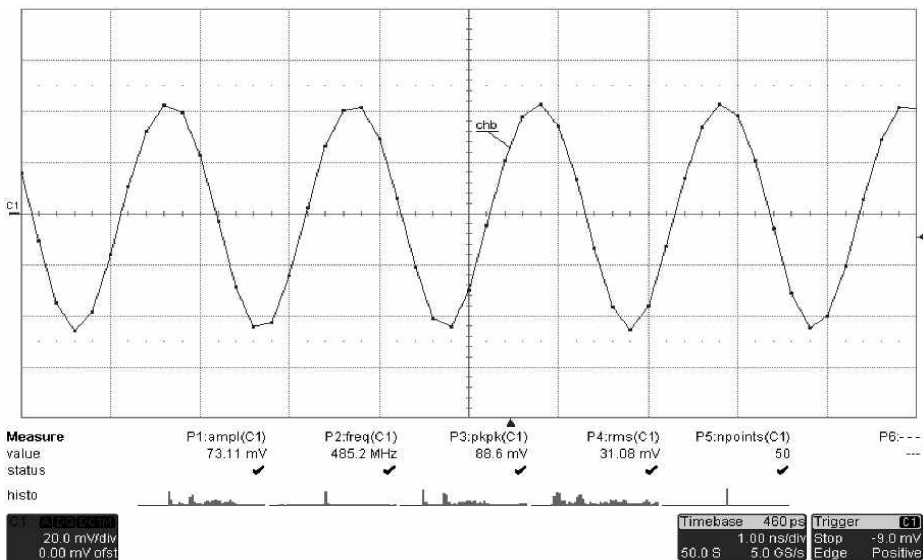


그림 9. 1/7 주파수 분할기 3.5GHz 측정 결과  
Fig. 9. Test result at 3.5GHz with 1/7 divider



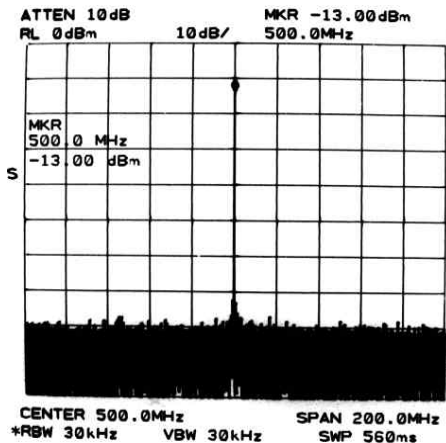


그림 10. 1/6 주파수 분할기 3.0GHz 측정 결과  
Fig. 10. Test result at 3.0GHz with 1/6 divider

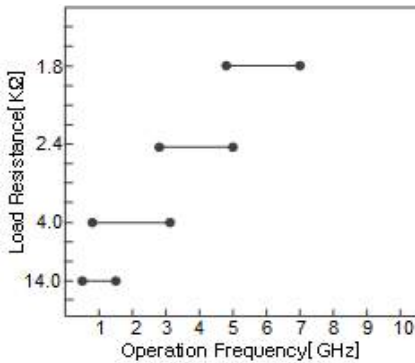


그림 11. 부하저항 변화에 따른 동작 영역  
Fig. 11. Operation range as load resistance

그림 11은 부하저항의 크기에 따른 각 분주 회로의 동작범위를 종합적으로 나타낸 결과이다. 전체적으로는 0.4GHz부터 7.1GHz까지로 주파수 동작범위가 나타났으며, 1.8, 2.4, 4.0, 14.0KΩ의 부하저항 변화에 따라 각각 다른 구간의 주파수 특성을 보였다. 따라서 이 분주기는 특정 동작주파수 제한 구간을 갖는 동적인 회로임에도 불구하고 스위치 회로를 사용하여 부하저항만 잘 구별해 준다면 0.4GHz부터 7.1GHz까지 폭넓은 구간에서 광대역 동작이 가능하다. 또한 향후 90nm 등 나노스케일의 더 좋은 공정을 사용하거나, 저항 값을 더 정밀하게 조정 설계한다면 1.8KΩ의 부하저항에서는 동작 구간이 7.1GHz에서 10GHz 이상으로도 확장될 수 있을 것으로 예상된다.

## V. 결론

슈퍼 다이내믹 회로를 단위 분할회로(1/2)에 도입함으로써 0.18um CMOS 제작공정을 적용하였을 때 7.1GHz 이상의 초고속에서도 동작하는 정수비로 프로그램 가능한 주파수 분할기 회로를 설계 제작하였다. 이 주파수 분할기는 고속으로 동작할 뿐만 아니라, 단위 분할회로에 MOSFET 스위치 회로를 사용하여 연속적으로 정수 분할비를 바꿀 수 있게 하였기 때문에 여러 주파수 합성이 필요한 다채널, 다밴드 주파수 합성기 회로에 적용할 수 있다. 또한 이 회로는 사용되는 부하저항의 값을 바꿔주면 사용 주파수 대역도 쉽게 조정되는 장점이 있다.

이 회로는 여러 채널의 클럭신호가 필요한 클럭 신호 발생기 회로 설계에 유용하게 적용할 수 있다. 본 설계에 의한 주파수 분할회로는 차세대 RF 통신 회로인 무선랜, USN, MBOA 등 초고속 동작을 요구하는 UWB 통신과 광통신, 5G 통신 등 차세대의 초고속 통신용 클럭신호 생성회로에 폭 넓게 사용될 수 있을 것으로 예상된다.

## References

- [1] Gun-Chang Oh, Kyung-Hwan Kim, Jong-Tae Park, and Kwun-Jong Yu, "Design of 2.4GHz Fractional-N Frequency Synthesizer for 2.4GHz ISM Band Application", Journal of IEIE, Vol. 45SD, No. 6, pp. 634-641, Jun. 2008.
- [2] Ho Yong-Kang, Ne-Soo Kim, and Sang-Hoon Chai, "Design of 5.0GHz RF Frequency Synthesizer for USN Sensor Nodes", Journal of IEIE, Vol. 45CI, No. 6, pp. 87-93, Nov. 2008.
- [3] T. Otsuji, M. Yoneyama, K. Murata, and E. Sano, "A super-dynamic flip-flop circuit for broadband application up to 24-Gbit/s utilizing production level 0.2um GaAs MESFET's", IEEE J. Solid-State Circuits, Vol. 32, No. 9, pp. 1357-1362, Oct. 1997.
- [4] Ho-Gil Kim and Sang-Hoon Chai, "Design of 26GHz Variable-N Frequency Divider for RF PLL", Journal of IEIE, Vol. 49SD, No. 9, pp. 270-275, Sep. 2012.

- [5] Dong-Shik Kim and Sang-Hoon Chai, "Design of 3~10GHz UWB Frequency Synthesizer for MBOA System", Journal of IEIE, Vol. 50SD, No. 2, pp. 134-139, Feb. 2013.
- [6] J. Chien and L. Lu, "A 15-Gb/s 2:1 Multiplexer in 0.18um CMOS", IEEE Microwave and Wireless Components Letters, Vol. 16, No. 11, pp. 558-560, Oct. 2006.
- [7] Z. Lao, A. Thiede, U. Nowotny, H. Lienhart, V. Hurm, M. Schlechtweg, J. Hornung, W. Bronner, K. Kohler, A. Hulsmann, B. Raynor, and T. Jakobus, "40-Gbit/s high power modulator driver IC for lightwave communication systems", IEEE J. Solid-State Circuits, Vol. 33, No. 10, pp. 1520-1526, Oct. 1997.
- [8] K. Murata, T. Otsuji, M. Yoneyama, and M. Tokumitsu, "A 40-Gbit/s super-dynamic decision IC with 0.12um GaAs MESFETs", IEEE J. Solid-State Circuits, Vol. 33, No. 10, pp. 1527-1535, Oct. 1997.

저자소개

이 주 훈 (Ju-Heun Lee)



2017년 2월 : 호서대 전자공학과 (공학사)  
 2017년 3월 ~ 현재 : 호서대학교 전자디스플레이공학부(석사과정)  
 관심분야 : 초고주파 능동/수동회로, 재구성 안테나 시스템, 초고주파 센서 네트워크

시스템 등

윤 원 상 (Won-Sang Yoon)



1997년 2월 : 고려대 전과공학과 (공학사)  
 1999년 2월 : 고려대 대학원 통신시스템공학과(공학석사)  
 2010년 8월 : 고려대 대학원 컴퓨터·전과통신공학과(공학박사)  
 1999년 3월 ~ 2015년 8월 :

한화탈레스(現 한화시스템) 통신연구소 전문연구원  
 2015년 9월 ~ 현재 : 호서대학교 전자디스플레이공학부 조교수

관심분야 : RF/Microwave transceivers, Reconfigurable antenna systems, Wireless sensor systems, RF/Microwave components 등

채 상 훈 (Sang-Hoon Chai)



1981년 2월 : 경북대학교 전자공학과(공학사)  
 1983년 2월 : 부산대학교 전자공학과(공학석사)  
 1992년 2월 : 부산대학교 전자공학과(공학박사)  
 1983년 3월 ~ 1997년 8월 : 한국전

자통신연구원 반도체 연구단 책임연구원  
 2004년 9월 ~ 2006년 8월 : University of Florida 연구교수

1997년 9월 ~ 현재 : 호서대학교 전자공학과 교수  
 관심분야 : RF 아날로그 ASIC 설계, LED 조명시스템, 태양전지, 전력소자 설계 및 공정